

# コンピュータシステムの高性能化への動きープロセッサと主記憶間のデータ移動に関する課題の改善ー

野村 稔

## 概要

スーパーコンピュータをはじめとしたコンピュータシステムにとって、性能面、電力効率面で直接的な影響をもつデータ移動に関する課題への対応は重要な研究開発テーマである。データ移動課題とは、データの移動時間が全体の性能を律速してしまうとともに電力消費の増加を招くことである。中でも、頻繁なデータアクセスが行われるプロセッサと主記憶間のデータ移動の課題は深刻である。

現在、その改善に向けて、シリコン貫通電極（TSV）を用いた3次元積層技術の実用化の動きが出てきており、米国を中心とした標準化活動や産業界での製品化の動きが見える。

データ移動課題に対しては、メモリデバイスの進化に合わせたメモリ階層の最適な設計、ハードウェア・ソフトウェアにおける革新的な解決策の創出などが必要であり、アカデミア、産業界ともに積極的に取り組むべき研究開発テーマである。さらに3次元積層技術に関しては、日本は長年にわたり研究開発を進めてきており、知的財産・経験・人材面で世界的に優位な位置にある。これらを活かし、米国を中心として進む実用化の動きに対して積極的に国際連携の道を探り、技術の継承と発展を図るべきである。

**キーワード：**データ移動，スーパーコンピュータ，HPC，メモリウォール，メモリバンド幅，プロセッサ，主記憶，3次元積層，標準化

## 1 はじめに

現在、世界中の多くの国々において、科学技術の発展や産業競争力の強化に向けたスーパーコンピュータの整備・拡充、開発が進められている<sup>1)</sup>。将来のエクサスケールシステムを目指し、今後主要各国間で熾烈な開発競争が繰り広げられていくであろう。

エクサスケールシステムとは、スーパーコンピュータ「京」<sup>2)</sup>の100倍の計算能力をもつシステムである。必ずしもLinpackベンチマーク性能値に基づくものではないが、仮に、エクサスケールを1エクサFLOPS（Floating-point Operations Per Second：1秒間の浮動小数点演算回数）の性能で20メガワットの電力消費と想定した場合、現状での最先端システムとの比較では、性能で

約30倍（TOP500での第1位の34PetaFLOPS<sup>1)</sup>比）、電力効率で約20倍（GREEN500の第1位の3GigaFLOPS/W<sup>1)</sup>比）の改善が今後数年から10年間で必要と試算される。これは高いハードル・目標ではあるが、その克服に向けた研究開発が進められており、その中から今後のICTに必要とされる先端技術が生み出されていくことになる。

この改善目標達成に向けて、ハードウェア面、ソフトウェア面などにおける総合的な改善が必要となる。その中でデータの移動に注目した改善は重要な視点である。データを移動するためには遅延（データの伝達に要する時間）が伴い、それを補って高速化を実現するためには、電力消費の増大が避けられないからである。

本稿では、データ移動に関わる課題とは何かを概説し、プロセッサと主記憶間のデータ移動課題に焦点を絞って、その改善に向け今までに進めら

れてきた研究開発、および新しい動きを示す。そして、今後の研究開発の在り方について提言する。

## 2 データ移動の課題

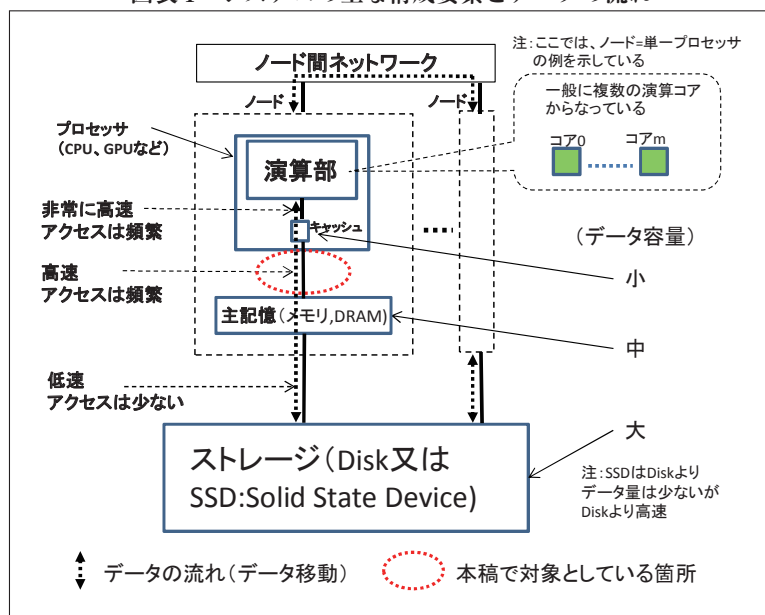
### 2-1 データ移動とは

図表1にコンピュータシステム（システムと略す）の主な構成要素である、プロセッサ（CPUやGPU:Graphic Processing Unit）、主記憶（メモリ：ここではDRAMとしている）、ストレージ（DiskやSSDなど）の相互関係とデータの流れ（データ移動）を略記する。システムは、プロセッサと主記憶からなるノードを単位に、複数のノード間がネットワークで接続されて並列処理がなされる。ノード内も複数の演算コアからなり、並列処理がなされる。

データの移動は、プロセッサ内での演算部やキャッシュなどの間、ノード内でのプロセッサと主記憶間、ノードとストレージ間、ノード間などのさまざまな個所で発生する。そして、システム全体の性能向上のためには、演算部の性能向上と共に、このようなデータ移動をいかに高速かつ低電力で行うかが重要な課題となっている。

これらのデータ移動課題は総じて重要であるが、本稿では、新しい動きが見えてきたノード内のプロセッサと主記憶間のデータ移動に関わる課題について述べる。

図表1 システムの主な構成要素とデータの流れ



### 2-2 アプリケーションのタイプによるデータ移動の違い

ノード内のデータ処理は、アプリケーションのタイプによって異なる。演算主体でプロセッサ外へのデータ移動が少ないタイプ（行列行列積・分子動力学・重力多体シミュレーションなど）と、演算処理においてデータを主記憶との間で頻繁にやり取りしたり、又は主記憶上のランダムなアドレスのデータにアクセスするタイプ（流体シミュレーション・構造解析など）があり、データ移動の課題は主に後者のタイプにおいて深刻である。

### 2-3 プロセッサと主記憶間のデータ移動課題

古くからプロセッサ性能の向上に対して主記憶をはじめとしたメモリ性能の向上が見込めない問題（メモリウォール）が指摘されている。FLOPSあたりのメモリバンド幅（プロセッサと主記憶間のデータ移動の速度）は、年を追う毎に低下する傾向にある。メモリウォールを解決するには、今後登場する様々なメモリテクノロジーデバイスを知り、それぞれの長所を生かして、短所を補うアーキテクチャが必要であるとの指摘がある<sup>3)</sup>。

電力の面で見ると、プロセッサと主記憶間のデータ移動に必要とされる電力は、演算に必要とされる電力に匹敵するともいわれている。プロセッサ内では演算コア数が増えており、各コアから主記憶へのアクセスが行われることでデータ移動の増加を招き、それが電力の増加につながっている。システムのノード数もすでに数万に至っており、さらに増加する傾向にあるため、ノード内の主記憶に関わる電力低減は、システム全体の電力低減にとってますます重要性を増してきている。

メモリバンド幅の高速化を補う方法として、プロセッサ内にキャッシュ（図表1参照）と呼ばれる高速メモリを設け、そこに一旦データを保存して主記憶との直接アクセスを避ける方法も多用されている。しかしながら、大規模データへのアクセスを要する場合には、その効果は十分でない。

#### 2-3-1 ハードウェアでの改善

本来、プロセッサと主記憶は一体化

することでデータ移動に起因する遅延時間や電力消費を低減するべきである。そのため、同一LSI内へ統合する方法（System on a Chip:SoC）や、個々に製造されたプロセッサとメモリを同一パッケージ内に近接配置する実装方法（System in a Package:SiP）をはじめとした研究開発が進められてきている。

メモリの階層的な利用についての研究開発も積極的に進められている。プロセッサに内蔵されたメモリであるオンチップメモリの容量を増加させ、キャッシュやローカルメモリ（プログラマが判断して必要なデータのみを格納する領域）として活用し、データ移動を改善する方策がとられている。オンチップメモリとしてはSRAMとEmbedded DRAM（eDRAM）があり、共に容量は増加してきているが、DRAMに比べると少ないのが実状である。最近ではIntel CorporationやIBM Corporationが大容量のeDRAMをプロセッサ外部に外付けキャッシュとして設ける動きもある<sup>4,5)</sup>。また、主記憶の容量を補う方策としてNANDフラッシュ・メモリを用いる方向<sup>3)</sup>や、DRAMとNANDフラッシュ・メモリの性能差を埋めるために不揮発性メモリである抵抗変化型メモリ（ReRAM）を導入する研究開発も進められている<sup>6)</sup>。

一方、接続方法そのものに関する研究開発も進められている。遅延時間を生む接続距離への対応であり、光インターコネクションの利用という方向が見られる。これは、装置間、ボード間、チップ間、チップ内等の近距離の相互接続に光通信を用いる技術である。光通信の利点を生かすことで、物量および伝送速度の問題の多くは解決される<sup>7)</sup>。現在は化合物半導体で形成されている光デバイスシリコンで実現するシリコンフォトニクスの実用化が期待されており、最近では大阪府立大学と京都大学の研究者がシリコンから超小型・超省エネルギーのラマンシリコンレーザー光を発生させる研究<sup>8)</sup>を発表している。また、チップ間での光インターコネクションの実現に向けた研究も「フォトニクス・エレクトロニクス融合システム技術開発（PECST）」<sup>9)</sup>他で進められている。チップ内光通信技術は未だ発展途上にあり、その実用化にはまだ時間がかかる見込みで、チップ間／ノード間通信でのシリコンフォトニクスの応用は、近い将来実現される可能性が高いとの指摘もある<sup>3)</sup>。

## 2-3-2 ソフトウェアでの改善

メモリ参照の局所性（ローカルティ）を生かした計算を行うことやデータ移動を極力抑える手法

の開発が、性能を引き出す上で重要である。主記憶とキャッシュ間のデータ転送をできる限り削減するために、利用頻度が高いデータをキャッシュに格納する工夫も採られている。

スーパーコンピュータ「京」では、演算性能に比べて主記憶とのデータ転送要求が大きいタイプアプリケーションについては、データのロード命令を先んじて発行する機能（プリフェッチ）の活用、主記憶からロードしてきたキャッシュへのデータをなるべく多く使用した演算を行うこと（ラインアクセスの有効利用）、データの再利用性を活かす（キャッシュの有効利用）など、メモリバンド幅を使い切る工夫により高性能化を図る努力をしている<sup>10)</sup>。

また、米国のカリフォルニア大学バークレー校やアルゴンヌ国立研究所では、メモリアクセス回数や通信回数を減らす手法を研究している<sup>11,12)</sup>。

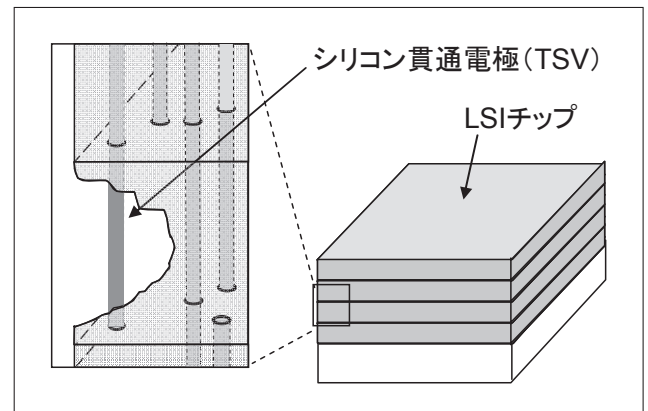
こうした中、現在、ハードウェア面でプロセッサと主記憶を一体化実装する方向の新たな実現法が3次元積層技術を活用することで進められている。

## 3 3次元積層技術活用によるプロセッサと主記憶間のデータ移動課題の改善

### 3-1 3次元積層技術とは

2次元平面上で実装されていた複数のチップを縦方向に積層することで、実装面積を減らした積層チップ部品を作ることができる。このチップ部品の作成には、シリコン貫通電極（Through-Silicon-Via:TSV）を用いる製造方法が実用化されつつある。図表2にTSV技術による3次元積層

図表2 TSV技術による3次元積層



出典：参考文献13

を図示する。TSV技術の主な優位点としては「小型化・高密度化」「信号伝送と処理速度の高速化」「省エネルギー化」「多端子化」「熱拡散・放熱の高効率化」などが挙げられる<sup>13)</sup>。

3次元積層技術は、市場性から見ると大量消費されるメモリ製品への導入を機に量を確保して廉価化するとともに、異種プロセッサとの積層により、多様なデバイスの小型化・省電力化の実現手段として発展していくとみられる。3次元積層TSV市場は2017年に400億ドルへと発展すると試算した調査もある<sup>14)</sup>。

日本の3次元積層技術の研究開発は、大学、企業、そして超先端電子技術開発機構（ASET）において進められてきた。大学での3次元積層の研究は長年にわたり進められている<sup>13,15)</sup>。スーパーコンピュータには限らないが、ASETでは1999年からTSV技術の実用化研究に本格的に着手してきた。そして、「立体構造新機能集積回路（ドリームチップ）技術開発／多機能高密度三次元集積化技術」をテーマにした研究開発プロジェクトを進めた。このプロジェクトは、経済産業省の「ITイノベーションプログラム」に基づいて新エネルギー・産業技術総合開発機構（NEDO）の委託により実施された。プロジェクトメンバーは、10企業、8大学、1公的研究機関からなっていた。結果として、将来の1テラバイト/秒のメモリバンド幅実現に向けた方向性が得られたとしている。ASETの活動は2013年3月末で終了している。

TSVを基にした積層化には、材料の選定や組合せ、位置合わせなどを含めた実装技術、積層されたデバイスの試験装置などが重要であり、これらは日本が強みを有する領域であるとされている<sup>15)</sup>。

## 3-2 標準化活動の動き

### 3-2-1 米国の半導体標準化団体の動き

半導体の標準化団体であるJEDEC（Joint Electron Device Engineering Council）は、3次元積層技術（3DICとしている）を注力すべき標準化活動の一つとして位置付けている。以下その説明<sup>16)</sup>から抜粋して示す。

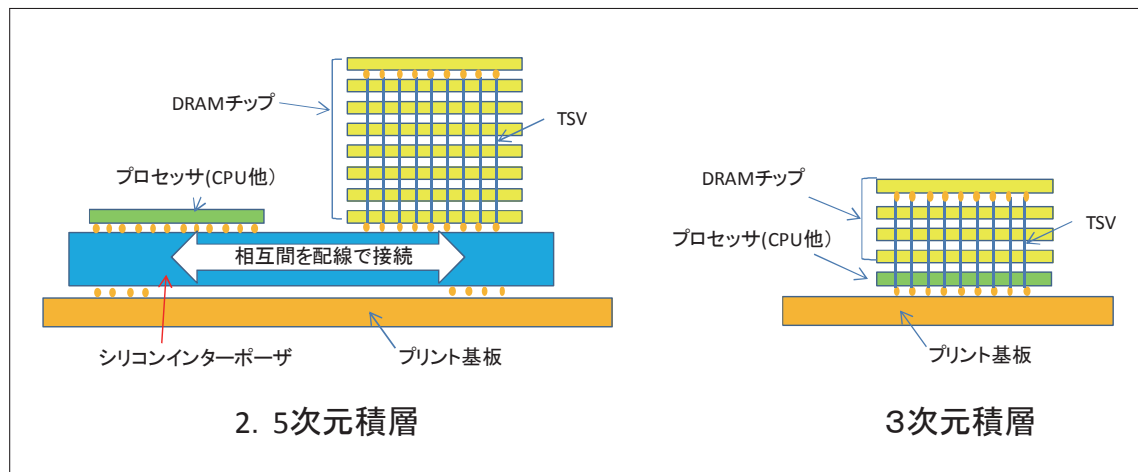
JEDEC内の半導体メモリ委員会（JC-42）が3次元積層の標準化を扱っており、配下に多くのサブ委員会とタスクグループがある。その一つのDRAMメモリサブ委員会（JC-42.3）内のHBM（High Bandwidth Memory）タスクグループが、グラフィックスや高性能システム向けに高い電力効率と広いメモリバンド幅の実現にフォーカスした規格を策定している。2011年3月以来、TSVテクノロジーを利用した標準の定義作業を進めている。HBM標準化規格では、シリコンインターポザを経由してプロセッサと積層されたDRAMとを接続する（図表3の2.5次元積層の形式）としている。

HBM以外に、低電力メモリサブ委員会（JC-42.6）では、プロセッサとDRAMとの直接積層（図表3の3次元積層の形式）を目指しており、プロセッサ上にTSV接続でDRAMを積層するWide I/OモバイルDRAMの標準<sup>17)</sup>を2011年11月に発行し、さらに後継のWide I/O 2も検討している。

### 3-2-2 グローバルなコンソーシアム結成の動き

Hybrid Memory Cube（HMC）を開発・提供する動きがある。HMCは、メモリコントローラである高速な論理層（logic layer）を最下位層に

図表3 積層方式の違い（横から見たときの概念図）



出典：実装技術 2012 Vol.28 No.12などを基に科学技術動向研究センターにて作成

配置し、その上部に DRAM を積層し、それらとの間を TSV で相互接続し、電力効率を大幅に改善する技術としている。米国 Micron Technology, Inc. と韓国 Samsung Electronics Co., Ltd. は、HMC のコンソーシアム (HMCC) を結成している<sup>18)</sup>。HMCC の目的は、開発者、製造業者他がこのテクノロジーを活用できるように、業界全体のインターフェイスを定義することとしている。HMCC には、Micron Technology, Inc.、Samsung Electronics Co., Ltd.、Altera Corporation、IBM Corporation、Open-Silicon, Inc.、Xilinx, Inc.、ARM Ltd.、SK Hynix など 8 企業が、HMC インターフェイス仕様を定義するための開発メンバーとして参加している。また、すでに 100 以上の組織が HMC の採用予定のメンバー (Adopter) となっており、HMC インターフェイス仕様の開発過程での意見提供やレビューなどを実施している。Adopter には、スーパーコンピュータメーカー、米国の国立研究所、大学、半導体企業、ファウンドリ企業 (半導体製造企業) が名を連ねている。米国以外には、欧州、アジアの企業の参加が見られる。日本からは開発メンバーへの参加は無く、Adopter として数社の記載が見える。

HMC とプロセッサの実装では、シリコンインターポーザ、マルチチップモジュール (MCM)、プリント基板などの選択を可能としている。2013 年 4 月には、HMCC による HMC インターフェイス仕様<sup>19)</sup>が公開されている。

### 3-3 産業界の動き

2013 年 6 月の TOP500 リストで第 2 位となった米国オークリッジ国立研究所の Titan システムは、米国 NVIDIA Corporation の GPU を多用している。最近、NVIDIA Corporation は、同社の現 GPU 製品の 2 世代後継製品 (コード名は Volta) に 2.5 次元積層形式の技術を採用するとしている。IBM Corporation も将来、高性能 LSI に 3 次元積層技術を適用するための研究開発を進めている<sup>15,20)</sup>。これらはほんの一部であるが、高性能システム実

現に向けたデータ移動の課題解決に向けた動きであり、その実現法としての 3 次元積層技術の採用が活発化していることを示している。

## 4 まとめと提言

2013 年 6 月、文部科学省は、今後 10 年程度を見据えた日本の「革新的ハイパフォーマンス・コンピューティング・インフラ (HPCI)」計画の検討内容を中間報告として発表した<sup>21)</sup>。ここには、将来は計算に費やされる電力より、相対的にデータを動かす電力の方が支配的になるなど、データ移動の課題が重要な視点として述べられている。ビッグデータの時代には大量のデータを効率よく取り扱う処理が求められており、この課題への対応は益々重要になると想定される。

この課題に対する今後の方向性として以下の 2 点を提言したい。

#### (1) データ移動課題の研究開発の推進

2 章で述べたようにデータ移動の課題は多岐にわたっており、それら全てにおける改善が重要となる。データ移動の改善効果は、スーパーコンピュータに限らずパソコン、モバイル、画像処理など極めて裾野が広い領域にも波及する。メモリデバイスの進化に合わせたメモリ階層の最適な設計、ハードウェア・ソフトウェアにおける革新的な解決策が必要であり、アカデミア、産業界ともに積極的に取り組むべき研究開発テーマである。

#### (2) 3 次元積層技術における国際的コラボレーションの推進

日本は、3 次元積層技術に関しては長年にわたり研究開発を進めてきており、知的財産・経験・人材面で世界的に見ても優位な位置にある。企業、大学は、米国を中心として進む半導体標準化団体やグローバルコンソーシアムなどの実用化の動きに対して、日本の優位性を活かして積極的に国際連携の道を探り、技術の継承と発展をはかるべきである。

## 参考文献

- 1) 野村稔「世界のスーパーコンピュータの動向」科学技術動向、No.137、2013 年 8 月号
- 2) 「京について」: <http://www.aics.riken.jp/jp/k/>

- 3) 「HPCI 技術ロードマップ白書」2012年3月
- 4) R. Brain et al., 「A 22nm High Performance Embedded DRAM SoC Technology Featuring Tri-Gate Transistors and MIMCAP COB」、2013 Symposia on VLSI Technology and Circuits、2013年6月
- 5) Jeff Stuecheli 「Next Generation Power microprocessor」、Hot Chips 25、2013年8月
- 6) Keiichi Tsutsui 「Focus on strengths and weaknesses of ReRAM」、Flash Memory Summit、2013年8月
- 7) 竹内寛爾 「光インターコネクション技術動向—「京速計算機システム」への適用を目指して—」科学技術動向、No.58、2006年1月号
- 8) 「超小型・超省エネルギーのラマンシリコンレーザーを開発 光と電子が融合した理想のシリコンチップに道」、2013年6月24日：<http://www.osakafu-u.ac.jp/data/open/cnt/3/7645/1/pr20130624.pdf>
- 9) Yasuhiko Arakawa et al., 「Silicon Photonics for Next Generation System Integration Platform」、IEEE Communications Magazine、2013年3月
- 10) 南一生 「京速コンピュータ「京」におけるアプリケーション高性能化」電子情報通信学会誌、Vol.95, No.2, 2012
- 11) Jim Demmel 「Communication Avoiding Algorithms」、SC12、2012年11月
- 12) CACHE Institute : Communication Avoidance and Communication Hiding at the Extreme Scale
- 13) 吉永孝司、野村稔 「3次元LSI実装のためのTSV技術の研究開発動向」科学技術動向、No.109、2010年4月号
- 14) Yole Development 「3DIC&TSV interconnects business update」、2013年3月
- 15) 池田弘明 「3次元積層デバイスの製造プロセスと設計・評価・解析」、2013年5月27日
- 16) JEDEC：<http://www.jedec.org/category/technology-focus-area/3d-ics-0>
- 17) JESD229 Wide I/O Single Data Rate (SDR)：<http://www.jedec.org/standards-documents/docs/jesd229>
- 18) Hybrid Memory Cube Consortium：<http://www.hybridmemorycube.org/>
- 19) Hybrid Memory Cube Specification 1.0：[http://hybridmemorycube.org/files/SiteDownloads/HMC\\_Specification%201\\_0.pdf](http://hybridmemorycube.org/files/SiteDownloads/HMC_Specification%201_0.pdf)
- 20) 「IBM Research テクノロジー最前線 第6回 多層3D半導体チップ」、ProVISION No.72/Winter 2012
- 21) 「今後のHPCI計画推進の在り方について(中間報告)」：  
[http://www.mext.go.jp/b\\_menu/shingi/chousa/shinkou/028/gaiyou/\\_icsFiles/fieldfile/2013/07/10/1337595\\_1.pdf](http://www.mext.go.jp/b_menu/shingi/chousa/shinkou/028/gaiyou/_icsFiles/fieldfile/2013/07/10/1337595_1.pdf)

..... 執筆者プロフィール .....



**野村 稔**

科学技術動向研究センター 客員研究官

企業にてコンピュータ設計用CADの研究開発、ハイパフォーマンス・コンピューティング領域、ユビキタス領域のビジネス開発に従事後、現職。スーパーコンピュータ、ビッグデータ、半導体技術、LSI設計技術等の科学技術動向に興味を持つ。