

今日のトランジスタには、シリコンに1%程度の引っ張りや圧縮の歪みを加える、歪みシリコン技術が用いられ性能向上が図られている。しかし、デバイス中の複雑な歪みの分布を走査せずに計測する技術が必要となるが、現状では未だ確立されていない。仏国立科学研究センターの研究グループは、モアレ干渉法と電子線ホログラフィー法を組み合わせることにより、走査をせずに、マイクロメートルスケールの視野とナノメートルスケールの空間分解能を両立させ、かつ必要な測定感度と精度を満たす計測が可能になったと報告した。歪み分布の新たな測定手法として期待される。

トピックス 2 電子デバイス中の歪み分布をナノメートルの空間分解能で計測

トランジスタの集積度に関しては、今日に至るまでほぼムーアの法則にしたがって微細化が進んできたものの、トランジスタの大きさが原子レベルになることで、この法則には物理的限界が訪れると言われている。一方、そこに至る前にも、すでに平面型 MOSFET では、微細化によるリーク電流の増加などの問題が出てきており、性能向上のための微細化はすでに限界にきているとの見方もある。問題解決の一案として、歪みシリコンや立体構造を採用することで、性能向上を図る試みがなされている。なかでも、シリコンに1%程度の引っ張りや圧縮の歪みを加えることで、チャンネル中の電荷（電子または正孔）の移動度を増加させ、それにより性能の向上を図る歪みシリコンの技術は、少ないコストアップで得られる効果が大きく、多くの MOS トランジスタデバイスに適用されており、近年の不可欠な技術となっている。トランジスタのゲート幅は数十 nm であり、さらにそこに加える歪みの方向や、引っ張りか圧縮か、あるいは一軸性か二軸性かの制御など、ナノスケールでの歪みのエンジニアリングが重要になっている。

従来から用いられている歪みの計測方法は、基本的には1点計測であり、 μm オーダーの広い範囲の測定には長時間を掛けて測定位置を走査する必要がある。現状では半導体デバイス中の複雑な歪み分布を計測する実用的な技術は確立されていない(図表)。

2008年6月、フランスのトゥールーズにある仏国立科学研究センター(CNRS)の研究グループは、モアレ干渉法と電子線ホログラフィー法を組み合わせることに

より、走査をせずにマイクロメートルスケールの視野とナノメートルスケールの空間分解能を両立させ、かつ必要な歪みの測定感度と精度を満たす計測が可能になったと報告した¹⁾。この研究グループは、幅90nmのシリコンのチャンネル部に一軸性圧縮応力を加えたダミートランジスタをシリーズに並べたものを製作し、有限要素法によるシミュレーション結果と実測データとを比較することにより、この計測法の評価を行なっている。その結果、幅 $0.25\mu\text{m}$ 長さ $1\mu\text{m}$ 以上の視野、5nmの空間分解能、0.1%未満の歪みに対する感度、また歪みが一樣な領域の測定から変動係数0.2%の測定精度が得られた。

今回の報告では、200kVの透過電子顕微鏡を使用しており、試料作製や計測も容易ではなく、インライン計測は困難なものの、走査なしに歪み分布を計測する新たな手法として期待される。

歪み分布測定技術

測定法	感度	空間分解能	走査	視野/走査範囲
収束電子線回折	0.02%	10~20nm	要	~100nm
ナノ電子線回折	0.1%	~10nm	要	~100nm
チップ増強ラマン	0.05%	<50nm	要	~100 μm
共焦点ラマン	0.02%	~150nm	要	~300 μm
X線回折	0.01%	100 μm	-	-
本報告手法	<0.1%	~5nm	不要	~1 μm

参考文献²⁾を基に科学技術動向研究センターにて作成

参 考

- 1) Hytch, M. et al., "Nanoscale holographic interferometry for strain measurements in electronic devices" Nature Vol.453, 1086-1089(2008)
- 2) 2007 ITRS page 27, Figure MET3