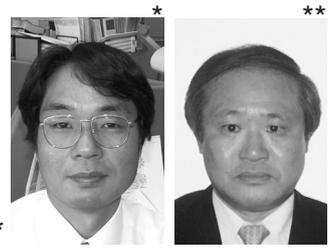


特集①

LSI 設計技術の研究開発動向 —電子機器の付加価値を支配する システム LSI 開発のボトルネック—

情報通信ユニット 小松 裕司*
情報通信ユニット 野村 稔**



1. はじめに

1-1

価値の源泉は LSI に

電子機器の小型、低消費電力、多機能等の性能向上は、その基幹部品である半導体 LSI 技術の進展による寄与が大きい。これまで幾つかの異なる種類の LSI を大きさが数センチ四方の回路基板上に組み上げ、この基板を何枚か用いて、電子機器の主要部品を構成していた。これらの基板は、大きさが数ミリ四方の 1 チップのシステム LSI と呼ばれる LSI に置き換わりつつある。

この結果、電子機器の性能や値段は、このシステム LSI に大きく

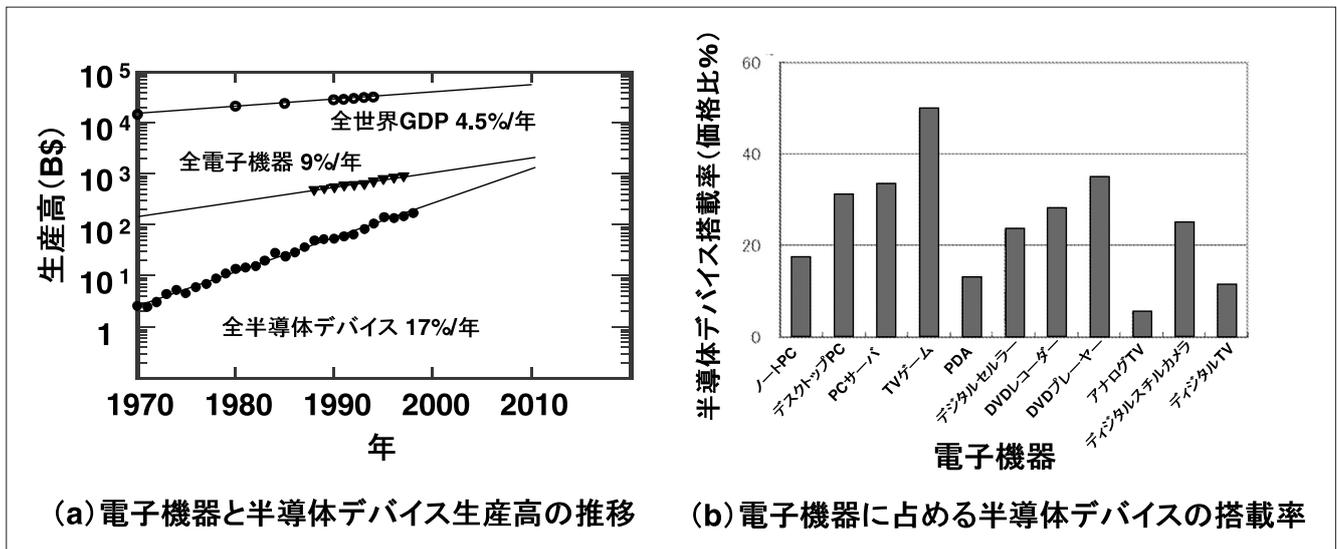
左右される事になる。図表 1(a)は、全電子機器と全半導体デバイスそれぞれの生産高の推移を全世界の GDP と共に示したものである¹⁾。GDP が年率 4.5% の伸びを示しているのに対して、全電子機器の生産高は年率 9% の伸びを示している。これは、より多くの電子機器が使用される様になって来ている事を示している。また、全半導体デバイスの生産高の伸びは年率 17% と全電子機器の生産高の伸びより大きく、電子機器に使用される部品の中でも半導体デバイスの占める割合が大きくなってきている事を示している。

図表 1(b)は、現在の電子機器における半導体デバイスが占める価

格の割合を幾つかの電子機器について示したものである²⁾。一般にデジタル化により、信号処理等の機能は複雑になり、半導体デバイスの搭載比率が増加する。また、特にパソコンやゲーム機は、半導体デバイスの占めるコストの割合は大きく、既に製品の半分に達する場合もある。

やがて電子機器製品のコストの殆どは、LSI のコストになるであろう。電子機器の価値の源泉がシステム LSI に集約され、電子機器のビジネスの成否は、システム LSI の開発の成否により決まる事になると言える。

図表 1 電子機器と半導体デバイスの生産高推移と現在の電子機器に占める半導体デバイスの搭載率



参考資料 1, 2) から転記

1 - 2

危機を迎える LSI 設計

図表2は、技術を用いた製品やサービス、生産工程（以下、製品等と記す）の「研究開発に要した期間」と製品等により「利益の得られた期間」の研究開始年に対する推移を示している。ここ30～40年間で、製品等の研究開発に要した期間の減少がわずかであるのに対して、製品等から利益が得られる期間が急速に短くなっている事が分かる。かつて、5倍程存在した両期間の比が、近年では1.2倍

程となっていて、製品等の寿命の短命化が進んでいる事が分かる。

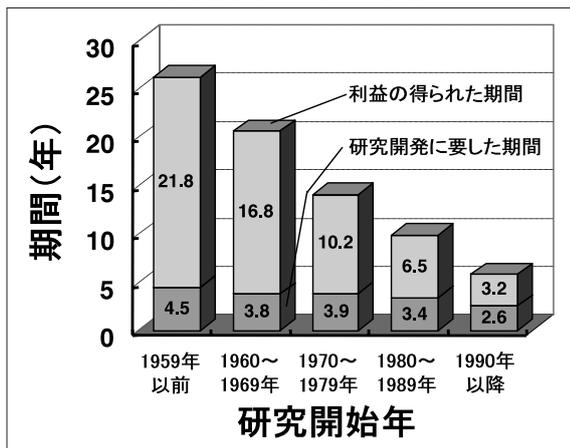
この様に短命化する製品等のライフサイクルの下で優位にビジネスを展開する為には、これまでよりも新たな製品等を短期間で市場に投入する技術が必要とされている。電子機器の場合はそれを構成する LSI を短期間で開発する技術が求められている。

ところが、システム LSI の開発は、危機に瀕しつつある。シリコン半導体 LSI の製造生産性（集積度）は、ロードマップ (ITRS) の予測を前倒しにしながら技術開発が進んでいる。一方で、LSI 設

計の生産性は、これに追随していない⁴⁾。LSI 製造技術の向上により、1チップの LSI に集積されるトランジスタの数は、年率 58% (3年で4倍) で上昇しているが、1人当たりの LSI の設計生産性は、設計の自動化ツールやコンピュータの計算能力の進歩をもってしても年率 21% でしか増加していない (図表3)。

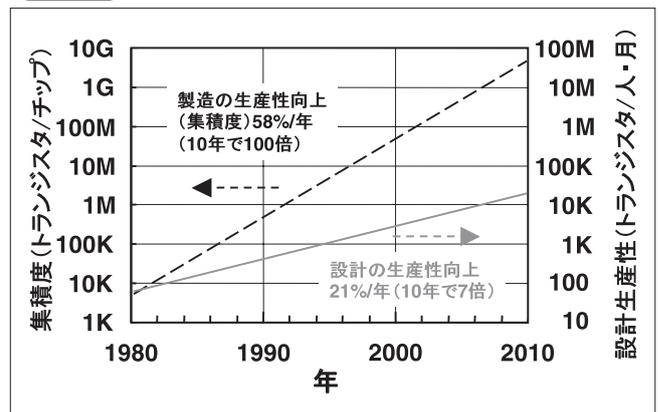
本特集では、電子機器の価値の源泉に大きく影響するシステム LSI を中心に、LSI 設計技術の研究開発動向について述べ、その課題を探る。

図表2 製品等の研究開発に要した期間と製品等により利益の得られた期間の研究開始年に対する推移



参考文献³⁾のデータから科学技術動向研究センターにて作成

図表3 製造可能な素子数と設計可能な素子数の推移



国際半導体技術ロードマップ (ITRS) より

2. LSI 設計技術について

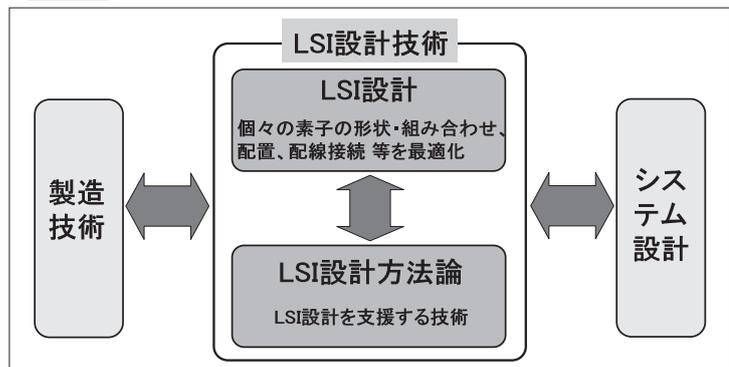
2 - 1

LSI 設計技術とは

LSI 設計技術は、利用可能な製造技術をベースに、個々の素子の物理的な形状やそれらの組み合わせ、相互の物理的な配置状態、相互の配線接続等を最適化し、システムの要求仕様を満たす論理演算機能や電気特性等を有する LSI を実現する技術である (図表4)。

この最適化の一連の流れの中

図表4 LSI 設計技術



科学技術動向研究センターにて作成

図表5 LSI設計自動化技術発展の歴史

年代	主な記述形態	記述レベル	内容	主なツールベンダー
'70～	マスク図形	素子の物理的形状	マスクの各層毎に2次元的な実態レイアウト図形で表示	Applicon (1969) Calma (1970) Computervision (1972)
'80～	回路図	トランジスタ等の素子	各素子や論理ゲートのシンボル図形で表示	Daisy (1980)、Mentor (1981) SDA (1983、後のCadence) Optimal Solutions Inc. (1986、後のSynopsys)
		論理ゲート		
'90～	テキスト形式の言語	レジスタ転送	データの流れや一連のデータ処理に沿って、テキスト形式の言語で記述	Syntest (1990)
		トランザクション		
		動作	システムの各動作を記述	CoWare (1996) TenSilica (1997)

() 内は設立年

科学技術動向研究センターにて作成

で、LSIの設計を行う技術とそのLSI設計を支援する技術とを分けて考える必要がある。それぞれで必要とされる知識や技術内容が大きく異なるからである。また、これら2つの技術の品質も異なる指標で評価される場合が多い。

例えば、LSI設計の品質は、設計されたLSIチップの速度や消費電力等の性能で評価される。一方、LSI設計を支援する技術は、どれだけ短時間に沢山の素子から成るLSIの設計を行えるか等の作業効率の改善が主な指標となる。製造技術の影響を大きく受ける素子の設計を行う場合、物理現象や素子の特性をモデル化し、このモデル記述で素子を置き換え、素子の形状等を変化させた時の素子の特性変化を計算機シミュレーションで見積もり、実際の試作を行わずに特性を最適化していく。この様な手法で、素子の設計の作業効率を改善する。この時、モデル化を行う事によって、物理現象や素子の特性を如何に忠実に再現しながら記述を簡略化出来るか、その結果、いかに短時間で精度の良い特性等の見積もりを行う事が出来るかが重要となる。

ここでは、LSIの設計を行う技術を単にLSI設計(Design)と呼び、これを支援する技術をLSI設計方法論(Design Methodology)と呼ぶ。本特集では、LSI設計技術の中でもLSI設計方法論に絞っ

て議論を進める。

2-2

設計自動化技術の発展

半導体製造技術の進展により、ムーアの法則に従って指数関数的に1つのLSIチップに集積される素子数が増加する中で、LSIの設計技術もこれに対応すべく、その方法論を変えて来た。その中で最も大きく進展したものは、EDA(Electronic Design Automation)と呼ばれる設計の自動化技術である。図表5にこれまでのEDA技術の進展を示す。

EDA技術は、過去約10年毎にLSI設計の記述形態を大きく変えて来た。これまで、10年毎に1つのLSIチップで使用可能な素子数は約2桁増加してきた。LSIの設計者がこの素子数の増加に対処する為には、個別の小さな工夫のみでは難しく、設計方法論を大きく変える必要があったと言えよう。この設計方法論の発展は、記述スタイルの抽象化の歴史でもあった(図表6)。1人の設計者が認識出来る回路や論理の規模に限界があるなら、設計対象の素子数の増加に応じて抽象化を行い、より上位の概念で設計を行う事が必要である。

この設計技術の進展に伴って、EDAツールを供給する主にベンチャー企業が多数生まれ、また多

くが淘汰されてきた。これらのベンチャー企業の幾つかは、現在では、比較的大きな企業となり、汎用とも言えるデファクト標準の設計ツールを提供している。また、淘汰された企業がかつて提供していた規格は、例えば、マスク図形のデータのフォーマットである米国カルマ(Calma)社のGDS IIフォーマット等、現在でも広く使用されている場合もある。

なお、LSI設計の記述スタイルは、図表5、6に示す様な進化をしているが、最初に開発された記述スタイルは現在でも改良され、“階層設計”と言う形で踏襲されている。

2-3

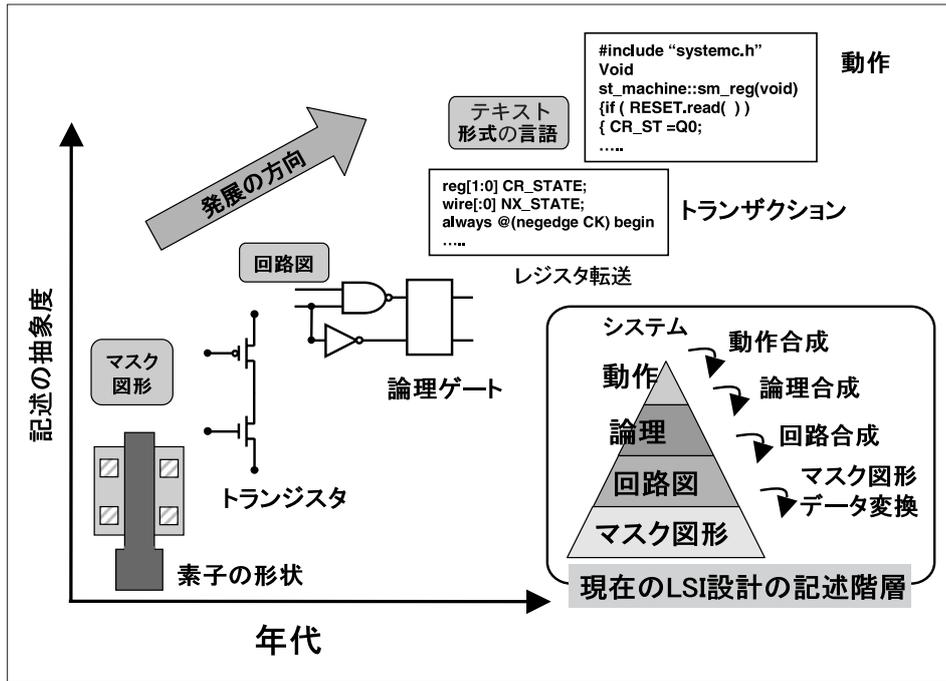
近年の研究開発動向

(1)ハード・ソフト協調設計

これまでのシステムの設計は、まずハードウェアとソフトウェアのインターフェースを決め、それぞれ仕様書に基づいて独立の開発を進める事が多かった。しかしながら、システムの規模の増大に伴い、インターフェースの曖昧な部分が後から発覚したり、ハードウェアの設計上の課題を後からソフトウェアにしわ寄せしたりする等の問題が頻繁に発生するようになった。

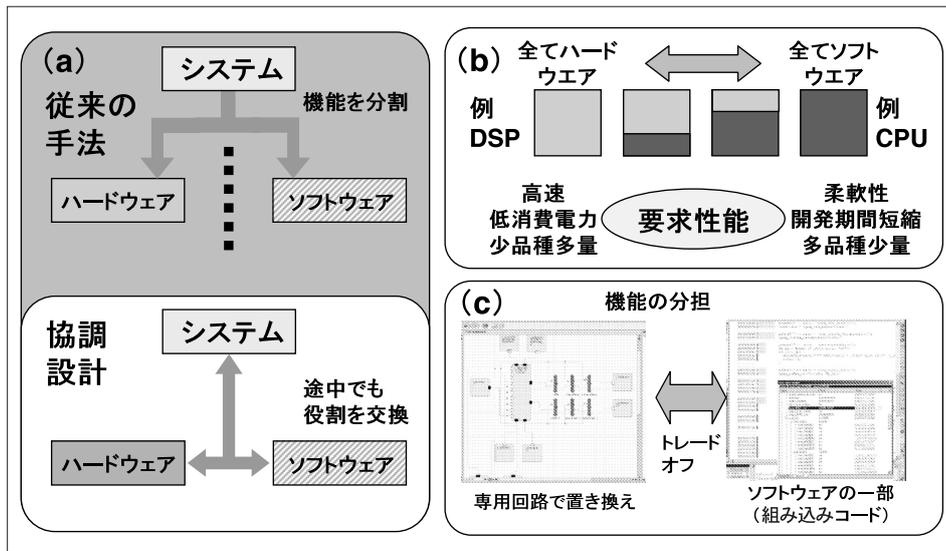
これに対して、ハード・ソフト協調設計は、システム全体が最適

図表 6 LSI 設計記述スタイルの進展と現在の設計階層



科学技術動向研究センターにて作成

図表 7 ハード・ソフト協調設計



科学技術動向研究センターにて作成

化する様に設計・評価しながら、ハードウェアとソフトウェアのトレードオフの中で、それぞれの役割分担やインターフェースを決めて行く方法である (図表 7(a),(c))。

システムとしてどのような性能を優先するかにより、LSI の機能をハードウェアで実現するかソフトウェアで実現するかが変わってくる場合が多い。ここで LSI の機能をハードウェアで実現するには、それぞれの機能に対応した専

用の回路を設計して行く。一方、LSI の機能をソフトウェアで実現するには、汎用の回路の上で動作するそれぞれの機能を有するソフトウェアを用いて行く。システムのより沢山の機能をハードウェアで実現する程、システムは、高速、低消費電力となる。これは、一般に開発期間が長くなりやすく、少品種多量の製品向けである。一方、ソフトウェアで実現する機能が増える程、これらの性能は低下する

が、システムはより柔軟になり、開発期間も比較的短く収める事が可能となる。これは、多品種少量の製品に向く (図表 7(b))。

ハードウェアの記述スタイルが、図形からハードウェア記述言語と呼ばれるテキスト形式の言語に発展した事はハード・ソフト協調設計に、有利に働いた。ハードウェアもソフトウェアと同様の記述スタイルとなる事で、LSI の初期 (上流) の設計から、最終的な

動作検証に至るまで、ハードウェアとソフトウェアとの間での相互のやり取りがそれまでよりもスムーズに行えるようになった為である。1990年代の初めの頃には、既にLSIのハードウェアの設計も、殆どがコンピュータ上で行われ、その動作検証についても、コンピュータ上の論理シミュレーション等で行われる事が多かった。しかし、ハード・ソフト協調設計手法が導入される以前は、システムの開発においては、ハードウェアとソフトウェアとで最初に分担する機能を分けてから開発するのが通常であった。

また、ハード・ソフト協調設計を行う事は、システム全体の開発期間短縮の上でも利点がある。それまでは、ハードウェアの仕様が確定してから、その上で動作するソフトウェアの開発を行うという時間的にも両者を分離した開発が行われていた。ハードウェア上の問題が最初はソフトウェアの工夫で対処する試みが行われる場合が

多いが、それでも対処できない場合はハードウェアの設計まで戻らなければならない、再設計時の時間的ロスが増大してしまう。再設計による上流部分の戻りを最小限に抑えるのにもこのハード・ソフト協調設計は有効である。

(2) LSI 開発期間の短縮化技術

これまで説明したLSI設計技術は、大規模化するLSIを如何に短時間で設計し、製品化するかにある程度答えるものではある。しかしながら、これとは全く別の発想で製品化までの時間を短縮する方法が、特に製品寿命の短命化に伴って、注目を浴びている。前節までで説明した製品開発では、LSIの設計が完了してからそれに対応したフォトマスクを準備して、LSIの製造を行うという工程を踏む。この場合、フォトマスクは、全て製品や顧客毎に特別に設計されている。これに対して、素子や配線を規則正しく配置したLSIをあらかじめ製造しておき、その

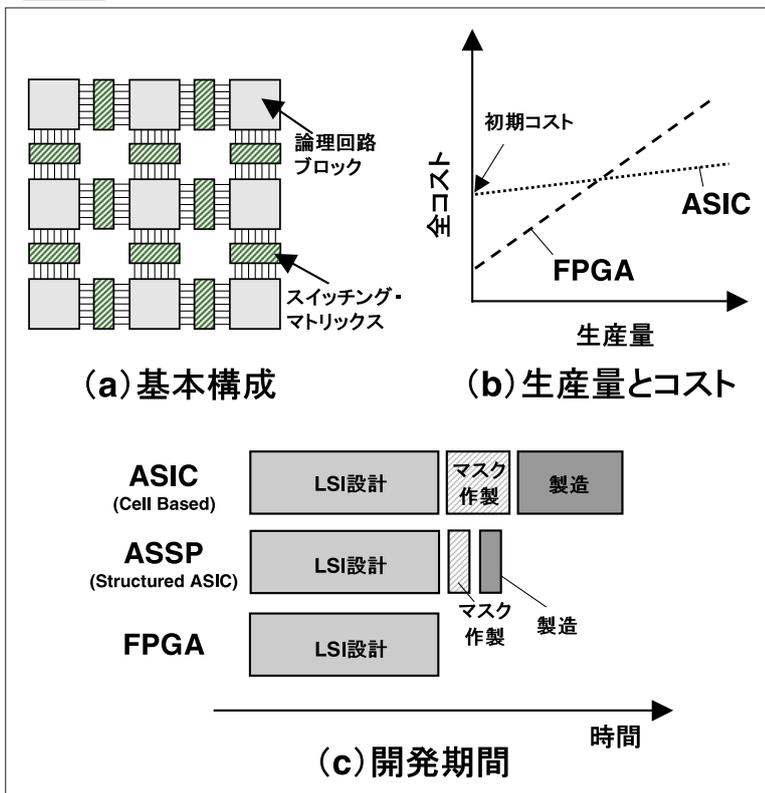
後、この内部の配線をユーザが電氣的に組み替えて、希望とする機能のLSIを得ようとするのがFPGA (Field Programmable Gate Array) やPLD (Programmable Logic Device) と呼ばれるLSIである。

FPGAは、例えば図表8の(a)に示すような論理回路ブロックとスイッチング・マトリックスと呼ばれるブロックが規則正しく並べられて構成されるLSIである。LSIの製造は、基本的に共通のマスクを用いて、共通の製造工程で行われる。FPGAを製造後、プログラミングにより、スイッチング・マトリックスの内部配線を電氣的に切り替えて使用する。従って、FPGAは、製品や顧客毎に特別に設計されたマスクや製造工程で製造する必要は無い。マスクを顧客毎に作製する必要が無いので、開発の初期コストは従来のASIC (Application Specific IC; 特定用途IC) より、低くする事が可能である (図表8 (b))。また、設計完了後、通常数ヶ月を要するLSIの製造期間が不要となるので、開発期間の短縮も可能となる (図表8 (c))。

従来、FPGAは、スイッチング・マトリックスを実装する事による論理回路素子の使用効率や動作速度の低下、消費電力の増大等の課題をかかえていた。この結果、同世代のLSIよりも、集積化、動作速度、消費電力、価格等の面で不利であり、LSI設計の動作検証用の試作品等の特殊な用途でわずかに使用されるに留まり、量産品に使用される事は、殆ど無かった。試作品で一度動作が確認されれば、物理配置配線をそれぞれの用途毎に変更し、再設計されたLSIを、実際の製品とする場合が通常であった。

ところが、LSI製造技術の急速な進展に対して、設計が追いついていない。この結果、スイッ

図表8 プログラム可能なLSIによる開発期間の短縮



科学技術動向研究センターにて作成

チング・マトリックスの付加により、同じ製造技術の LSI に対して特性が落ちて、最先端の製造技術の LSI をいち早く使用した方が、結果的に特性が良くなる場合がある。特に近年の微細デバイスでは、マスクの製造コストも 1 タイプ 1 億円を越す様になってきており、LSI 設計ミスによるマスク再作製の費用や開発期間増大のリスクを考えると一定値以下の生産数量では、コスト的にも FPGA が有利になる場合が多くなってきた（図表 8 (b)）。FPGA の技術の発展は著しく、米国ザイリックス (Xilinx) 社の最近の FPGA 製品仕様では、90nm プロセスで、電源電圧 1.5V、複数プロセッサ内蔵、数メガバイトの大規模メモリ内蔵、システム周波数 500MHz、クロック・マネージメント有り等の LSI が実現可能となっている。

また、最近、ASSP (Application Specific Standard Products；特定用途向け標準製品) と呼ばれ、従来の ASIC と FPGA の中間の特性を有する LSI が注目を集めている。これは、LSI の製造の途中工程までは、共通のマスクで作製し、ある配線層よりも上の部分で仕様を顧客毎にカスタマイズした LSI であり、特性やコストは ASIC と FPGA の中間の値となる。この製品は、例えば携帯電話の場合等、システムの基本的な機能が機器の規格（この場合は無線通信の規格）により決まってしまう場合に有効となる。この場合、LSI の設計は、IP^①と呼ばれる再使用可能な回路の設計資産を利用して、これらを組み合わせて行う場合が多い。例えば組み込みプロセッサであれば、既にデファクトに近い状態で使用されている英国 ARM 社の IP のライセンスを受け使用する事になる。

ASIC は、セル (Cell) と呼ばれる論理ゲートの最小基本単位からそれぞれの企業毎に開発し、これ

用語説明

① IP

Intellectual Property の略。半導体技術の領域では、再利用を目的として流通する回路やデバイスの設計資産を指す。

②受動素子

入力信号電力を増幅する作用を持たない素子。物理的な形状や素子を構成する材料の特性により、素子の特性が決まる場合が多い。

を組み上げて LSI を作成する、日本の企業が得意としてきた垂直統合型の製品であり、少品種多量生産に適した製品となっている。ところが、デジタル家電では、信号のインターフェース等は、規格化される場合が多く、製品毎の性能差は出し難い。この場合、製品や顧客毎のカスタマイズも、機器の基本性能以外の部分で行われる場合が多い。

(3)アナログ回路設計の重要性の増大

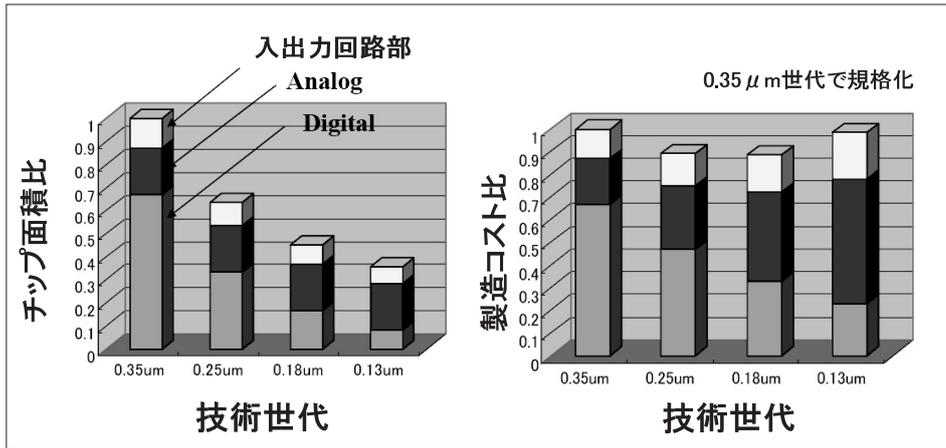
システム LSI において、デジタル回路の微細化やデジタル回路設計の自動化が進めば進む程、アナログ回路の重要性が増している。信号処理の大部分がデジタル化されても、アナログ回路は無くなる事は無い。人とのインターフェースの部分では、デジタル信号は人が認識できるアナログ信号に一旦置き換える必要があるからである。また、高密度データの記録再生や広帯域通信において、元のデジタル信号が外的擾乱や減衰等により、デジタル信号として識別不可能となった時、アナログ技術を用いて、これを再生可能なデジタル信号に復元する場合が多い。このアナログ技術の領域は、デスクリート (個別部品) で回路基板を設計していた時代から、設計者には十分な知識と経験が求められる領域とされていた。アナログ技術は、小振幅・高周波の信号を扱う場合が多く、回路性能を測る指標がデジタル回路に比べて多数存在する。各素子を構成する材料や物

理の知識に加えて、全体を最適化する広範なシステムの知識が必要とされているからである。

一般にデジタル回路を構成する素子は、スケーリング則に従って、技術の世代毎に微細化しながら性能も向上させていく事が可能である。一方、アナログ回路の構成部品は受動素子^②も多く、例えばインダクタ等は、微細化と高性能化はトレードオフの関係にあり、技術の世代が進んでもそれほどサイズは小さくならない。結果的に、微細化するデジタル回路に対して、アナログ回路は占有面積が相対的に大きくなり、LSI の最終的な製造コストに大きく影響するようになる（図表 9）。また、設計の自動化が進展していない事、アナログ素子の性能が製造技術に大きく影響されシステムの性能を十分引き出す為には微調整が必要な事等から、アナログ回路の設計に要する期間が相対的に長くなっている。

LSI のチップ製造コストや開発コストが、アナログ回路に大きく影響される様になりつつある一方で、高周波アナログ LSI を使用した代表的な製品である携帯電話では、数ヶ月のサイクルでの新製品の開発競争が行われている。開発・製造のコストを抑えて、競争力のある製品とする為には、アナログ回路設計の占める割合が今後も増大していくと考えられる。ところが、短期間で技術者を養成出来ないこの領域では、技術者が今後一層不足する事も懸念されている。

図表9 アナログ回路がLSIチップに占める面積と製造コストの推移



東京工業大学 松澤教授ご提供の資料⁵⁾より

(4) 今後の展望

製造技術の進展に比べて設計技術は、生産性向上の点で進展が遅く、危機を迎えている事を第1章で述べた。この思うように進展しない設計生産性よりもさらにボトルネックとなりつつあるのが、設計検証やテスト技術である。これらの技術領域は、今後、システムの多様な要求に応じてLSIが複雑になればなる程、行うのが難しくなっていくであろう。しかし、こ

の様な領域は新たな技術の展開によって大きな発展が期待される領域でもある。

また、一方で製造技術の高度化に伴いLSI設計は、製造技術との相互作用も複雑になりつつある。製造技術を考慮した設計 (DFM; Design For Manufacturability) や歩留まりを考慮した設計 (DFY; Design For Yield)⁶⁾ 等の新たな設計方法論の提案も相次いでいる。従来、LSIチップの最終的な歩留まりは、製造技術のみに依存する

と考えられてきたが、90nm世代以降は設計品質の方がより大きく影響するとの報告もある。

今後さらに高度化する製造技術と多様で複雑な性能を要求するようになるであろうシステムとの橋渡しをしていく設計技術が、ますます重要になる事は容易に予測される。LSI設計技術の進展無くして、システムLSIとこれに支えられる電子機器の進展は望めないであろう。

3. 研究開発の現状と課題

3-1

学会発表および登録特許件数より

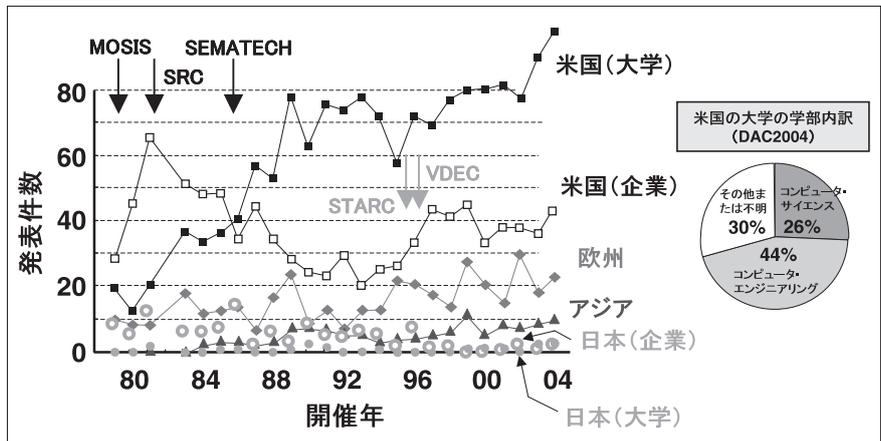
図表10にLSIの設計技術に関する最高峰の学会であるDAC (Design Automation Conference) における発表機関の国や地域別発表件数の推移⁷⁾を示す。

1980年代の初めは、DACでの発表は、主に米国の企業が占めていた。その後、米国でMOSISと呼ばれる政府出資の機関がLSIチップの試作サービスを、また、米国の民間企業の出資によるSRC (Semiconductor Research Corporation) で産学連携の研究が開始されてからは、米国の大学が

らの発表件数が大きく伸びる事になる。1980年代の初めは、民間企業を主体とする日本からの発表件数は、10件前後を推移してお

り、欧州 (企業と大学の合計) からの発表件数と同等であった。ところが、その後、欧州が発表件数を徐々に伸ばしているのに対し

図表10 DACにおける発表研究機関の国・地域別発表件数推移



発表件数推移は、半導体理工学研究センターの小澤顧問ご提供の資料より。米国の大学の学部内訳の図は、科学技術動向研究センターにて作成

て、日本の企業からの発表件数は 1990 年代以降減少し、近年は多くても 2～3 件程度となっている。日本でも、米国と同様の LSI 試作サービスである VDEC (VLSI Design and Education Center；大規模集積システム設計教育センター) や、民間企業出資の STARC (Semiconductor Technology Academic Research Center；半導体理工学研究センター) が 1990 年代半ばから活動を開始している。しかし、元々少なかった日本の大学からのこの学会での発表件数が、増加する兆しは、今のところ無い。

図表 10 では、米国と日本のみ大学と企業とを分けて発表件数を記しているが、DAC での発表件数は、米国以外の欧州や日本を除くアジアでも、企業よりも大学からの発表件数が多くなっている^(注1)。また、米国の大学からの発表件数の学部別の内訳を見ると、図表 10 の発表件数推移の右側に記した円グラフで示す様に、2004 年に開催された DAC の予稿集に記載されていて判別したものだけでも 7 割は、コンピュータ関連の学部からの発表となっている。

図表 11 は、日米欧それぞれの

(注 1) DAC2004 での論文シェアは、欧州の企業で 2%、欧州の大学で 12%、日本以外のアジアの企業で 0.8%、日本以外のアジアの大学で 10.2%となっている。

国や地域で登録された特許数の出願年別推移を示している。日本で登録される特許は、一般的には日本企業からの出願が多い。この事からすると 1990 年代の初めには、登録件数で日本の特許数は多く、この分野でもそれなりの研究開発が日本の企業内で行われていた事を示している。しかしながら、1990 年代以降の米国での登録特許件数の大きな伸びに対して、日本での登録特許件数は大きく水を開けられた形となっている。

従来、日本の企業は、垂直統合型の半導体事業を展開しており、LSI の設計ツールや設計資産も内製のものを使用するが多かった。この場合、設計方法論でも、研究開発が必要であった事が推測される。しかしながら、近年は、主に米国のベンダーがデファクトに近い EDA ツールや IP と呼ばれる再利用可能な設計資産を提供してきており、日本の企業は効率の観点から従来の内製のツールを置き換える場合が多い。学会発表や

登録特許の件数の推移もこの影響が出ていると考えられる。日本では、企業内においても、LSI の設計そのものは行うが、新規設計方法論を研究開発する動きが少なくなっていると言える。

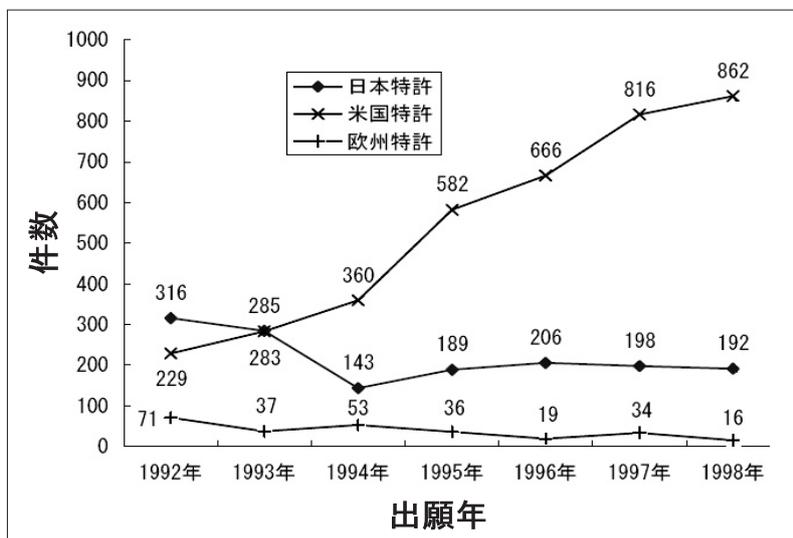
日本が設計技術で遅れた理由の 1 つに半導体メモリの生産での成功があると考えられる。メモリ LSI では、素子数が指数関数的に増大しても、単純にメモリーセルを並べるだけで、LSI 設計の複雑さはそれほど増大しないからである。1980 年代後半、日本に半導体の生産額で抜かれた米国は、メモリ以外の半導体製品の開発に特化した。LSI 設計技術の重要性をいち早く認識し、着実に技術開発を行って来たと考えられる。この間に蓄積された開発能力の差を埋めるには、長期の取り組みが必要であろう。

3 - 2

各国の研究開発推進状況

図表 12 に LSI 設計技術に関して、各国や地域の研究推進活動の状況を示す^{9, 10)}。近年、この技術領域に最も力を入れ注目されるのは、台湾の動向である。台湾は、ファンドリービジネスで成功を収めている現在から、国の指導の下、製造業中心から LSI 設計へと産業構造を転換しようとしている。LSI 設計技術を将来的に重点分野ととらえ、短期間の内に LSI 設計技術を強化している。2003 年度からスタートした設計技術を強化する Si - Soft プロジェクト¹¹⁾ では、3 年間で 255 名を超える教授や助教を主に米国から招聘し、金額的にも 4 年間で総額 1,000 億円(政府が 3 割、残り 7 割は民間企業が

図表 11 日米欧それぞれで登録された EDA 関連の特許件数の出願年別推移



参考資料⁸⁾ から一部抜粋

用語説明

負担)を投じる予定である。

米国では、EDA技術の黎明期から国が大学の研究活動を中心に支援してきた。この結果、新たなベンチャーが盛んに発足し、その中の一部の企業は技術開発にも大きく影響を与えるに至っている。また、ベンチャーとは別にインテルやIBM等の企業では、最先端のLSI開発の為に、新たなLSI設計方法論やEDAツールも開発している。

欧州では、欧州委員会の指導の下、比較的早くからLSI設計技術がIMECなどの産学連携を通じて強化されてきた。現在では、世界的な携帯電話メーカーであるノキアを顧客として、STMicroelectronicsやIMECを中

③ SEMATECH

SEmiconductor MAnufacturing TECHnologyの略。米国の国防総省と民間半導体メーカ4社が共同出資した半導体の製造技術に関する研究開発のためのコンソーシアム。1980年代中頃に凋落しかかった米国半導体産業の競争力回復を目標とした。

心に無線通信等の高周波アナログLSIに関する設計力で強みを発揮している。

韓国では2005年2月から組み込みシステム(Embedded System)に焦点を当てた設計技術の国家プロジェクトを発足させている。このプロジェクトで今後、組み込みソフトやシステムの開発力を強化するとしている。

中国では、LSI設計の強化のみ

ならず自国の巨大市場を背景にLSI設計方法論の研究開発にも力を入れている。現在、EDAツールは主に米国のベンダーが供給しているが、中国は、将来的にこの米国のデファクト・ツールに対抗する中国独自のEDAツールを開発してくる可能性が高い。

日本でも10年程前から、国のプロジェクトとしてVDECが、産学連携の活動として半導体理工

図表 12 各国・地域の研究推進活動状況

地域	国家プロジェクト等	中心メンバー	予算規模	特記事項
米国	MOSIS、SRC、MARCOによるFCRPプロジェクト(1998～)等。大学での設計、テスト、配線技術開発力強化。	UCB、イリノイ大、CMU、スタンフォード大、テキサス大等多数	SRC：約45億円/年、FCRP：10億円/年	EDAツールベンダーやインテル、IBM等の民間企業でも技術を開発。インターフェース等の共通化を促す民間団体活動がある。
欧州	欧州委員会の中の情報通信分野担当組織が、半導体を重要戦略課題としてを強化。産官学連携が、Alba(スコットランド)、IMEC(ベルギー)、LETI(フランス)で進められている。	STM、地元の大学等多数	IMEC、Albaでそれぞれ100億円/年規模の予算(半導体全体)	設計分野での人材育成強化が盛ん。ノキアを主なユーザーとした通信分野のアナログASICで強み。
台湾	2003年から4年間のSi-Softプロジェクトを実行中。海外(主に米国)から、教授や助教授を3年間で255名招聘し、大学研究者の倍増を目指す。この研究者の増員により、毎年1,000人を超える設計者(修士、博士)の養成をはかる。	台湾大学、精華大学、交通大学、成功大学	Si-Softプロジェクト4年間のプロジェクトで計1,000億円	国の主導の下、製造業中心から設計力を強化して、産業構造の転換をはかる。
韓国	ISRCの中にESRC(Embedded System Research Center)を設置。組み込みソフト、SoC設計技術、リアルタイムOSの研究。	KAIST、ソウル大学、ISRC(ESRC)	ISRCの予算：約15億円/年	サムスンが今後システムLSIに注力するとアナウンス。
中国	国家政策によるIC産業育成の7地域を指定(上海、北京、無錫、成都、大連等)。国営のIC R&D Center(試作、EDA、テストサービス)。大学自身が多くの設計ベンチャー企業を内部に設置。	精華大学、上海交通大学、北京大学、復旦大学、大連理工大学		将来、EDAで中国標準を出すのと動きあり。
日本	VDEC、STARCで設計力強化。福岡県システムLSI設計開発拠点化プロジェクト(2001～)や九州シリコン・クラスター計画(九州半導体イノベーション協議会)で推進。	九州大、九州工業大、福岡大、早稲田大等半導体理工学研究センター(STRAC)	VDEC：予算約4億円/年、STARC資本金：4.4億円、ふくおかIST予算：25.6億円/年	主に地方公共団体の支援により、九州地方を中心に活動。

MOSIS；LSIの試作サービス機関。設立当初は政府出資であったが、近年は民営化されている。
 SRC (Semiconductor Research Corporation)；参加企業のニーズにかなう研究を大学において推進することを目的とし1982年に設立。
 FCRP (The Focus Center Research Program)；米国大学における非競争領域の研究を強化する為のプロジェクト。
 IMEC (Inter-University Microelectronics Center)；1984年に非営利組織としてスタート。現在、1,000人を超える研究スタッフを擁する。
 ISRC (Inter-university Semiconductor Research Center)；産官学連携の研究の推進を目的とし、1985年に設立。
 VDEC (VLSI Design and Education Center)；大規模システム設計教育センター。LSI設計の教育と試作をサポートする大学向けの機関。
 STARC (Semiconductor Technology Academic Research Center)；(株)半導体理工学研究センター。民間企業の出資による産学連携研究を支援する機関。
 参考文献^{9, 10)}等を元に科学技術動向研究センターにて作成

学研究センター (STARC) がそれぞれ活動している。しかしこれらの活動の予算規模は、大きなものではない。近年、地方公共団体が中心推進母体となり、システム LSI 設計力を強化するプロジェクトが、福岡県に発足している。これらは地方公共団体や産業界の出資によるものが主であり、LSI 設計技術に関して、国が主体の比較的大きなプロジェクトは、日本には存在していないのが現状である。

EDA ツールや IP と呼ばれる設計資産を現在、ほぼ独占的に供給している米国では、次のステップとして、SEMATCH[®]の成功モデルに習い、これらの設計環境や資産の再利用においてもインターフェースを共通化する動きが提案されている。例えば、VSIA (Virtual Socket Interface Alliance; 1996 年設立) や SPIRIT (Structure for Packaging, Integrating and Re-using IP within Tool - flows; 2003 年設立) 等の団体である。

SEMATECH では、非競争的な技術領域として、半導体製造装置間のインターフェースを共通化した。その結果、それまでそれぞれの会社や製造ライン毎に仕様がまちまちだった製造装置の可搬性が大きく向上し、どの会社の製造ラインでも同じ仕様の装置で LSI を製造する事が可能となった。この結果、製造装置はデファクト化し、半導体製造の分業化が進む事になった。

4. 技術競争力強化の為に

4 - 1

なぜ LSI 設計方法論か

EDA ツールの市場規模は、約 4,000 億円程度であり、半導体産業全体に対して 2% 程の小さな市場の 1 つである。しかし、LSI 設計生産性の向上は、この EDA ツールの発展と能力向上に大きく左右される事から、重要な技術領域であると言える。

DRAM を中心とする日本の半導体製造技術は、かつて世界の先端技術をリードしたと言われていた。ところが、SEMATCH による製造装置間のインターフェース規格の統一が行われると、製造技術の分業化が大きく進み、デファクトとなった装置を揃えさえすれば、誰でも比較的簡単に最先端の LSI を製造する事が出来るようになった。この規格統一によって、日本が得意とされた摺り合わせの技術が、相対的な優位性を確保出来なくなり、製造技術は個々の製造装置に集約されてきたとも言える。この製造装置の開発では、必ずしも日本企業の競争力があつた訳では無い。また、製造装置ベンダーは、個々の装置の市場はそれほど大きく無い為、グローバルにビジネスを展開する機会が多く、こ

の様な装置を導入して半導体を製造するだけでは、技術的な参入障壁を築くのは難しい。

現在、LSI 設計においてもかつての DRAM と同様の事態が進行している。IP ベース設計やプラットフォーム設計と呼ばれる手法^④により、IP の流通性を向上させ、設計生産性を上げようとする動きが加速しているからである。前章で述べた団体の活動により、インターフェースの標準化が進めば、LSI 設計においてもより一層分業化が進むであろう。高度に自動化されつつあるそれぞれの設計ツールや流通性が向上する IP を購入して揃えさえすれば、設計そのものは比較的短期間に誰でも行う事が出来るようになってきた。この時、多少の工夫を加え設計を行う場合でも、道具や部品が同じであれば、最終的には同じ様な性能の製品が出来るであろう。この様に技術的な参入障壁が低下した時、

LSI 設計においても人件費コストが最終的な開発競争力を決める可能性が高い。

また、国家のレベルで考えた場合、様々な EDA ツールや IP を今後も国外のベンダーのみに依存していく事は、将来的に大きな課題となる可能性がある。半導体産業で突出した競争力をつけても、ある重要な EDA ツールが他国から輸出規制等された場合、LSI 設計が行えなくなる危険性がある。産業競争力以外にも国が使用する基幹部品の LSI の設計を国外のツールベンダーに依存する事は避けるべきである。中国は、この点を考慮してか、設計方法論や EDA 技術の研究開発にも注力している。将来、中国が独自の EDA ツールを中国発の標準として開発してくる可能性が高い。

LSI 設計の付加価値は、広く流通する IP や共通の設計ツールの元となる LSI 設計方法論に集約さ

用語説明

④ IP ベース設計、プラットフォーム設計

プリント基板を用いる従来の開発と同様に、1つの IP (機能モジュール等の設計資産) を LSI 上の仮想部品 (VC) として、また種類の異なる IP を仮想ソケット (VS) で組み合わせ、システム LSI の設計を行なう方法である。この時、種類の異なる IP の流通を促進する上で重要なのは、インターフェースの標準化である。

れてきている。しかしながら、設計ツールの原理や中身が分からなければ、その課題や限界も分からず、新たに生じる設計の課題に対処する事も出来ないであろう。LSI設計で、競争力のある技術開発は、次の世代の新しい設計手法を開発していく力であると言える。

4 - 2

考えられる対策

以上述べた通り、LSI設計に関する日本の技術力は、かつて企業を中心に現在よりは高かった。しかしながら、最近では企業の開発競争力が低下し、一方で大学の競争力が思うように伸びていない。そして最近、日本以外のアジアの国・地域を中心にLSI設計技術を短期間の内に強化する動きが盛んになってきた。

これに対して、日本の競争力を高める為に何をすべきか、以下に考えられる対策を述べる。

まず、最初に人材の確保と育成が必要である。新しいLSI設計技術を開発する能力は、新しいアイデアを生み出し具現化していく能力であり、最終的には人材に依存する部分が多い。ところが、大学の研究者でこのシリコンLSI分野、特にLSI設計に関係する人材が、他の国と比べて日本には極端に少ないとの現実がある^(注2)。この1つの原因として、これまでの大学研究の課題の1つである、大学における研究テーマの産業構造との乖離がある。例えば、半導体全体に対するビジネス規模が1～

2%の砒化ガリウム(GaAs)等のIII-V族半導体の分野に大学での半導体関連の研究の約25%が占めているとの現実がある¹²⁾。この結果、日本では、大学におけるシリコンの研究者が他国に比べて非常に少なくなっている。このミスマッチを早期に解消するには、企業や外国からの大学研究者への採用を積極的に行うべきであろう。

長期的には、この分野の日本における大学での教育内容を充実させていく必要がある。図表10で示した米国大学の学部内訳以外にも欧州や日本以外のアジアの国を含め、特にコンピュータ関連の学部のこの分野での活躍が目立つ。このことから、この領域の教育内容の充実が不可欠である^{12,13)}。

新たなLSI設計方法論の開発は、新たなLSIの設計を行う時に必要とされる場合が多い。

このことからすると国として重要な用途のLSI設計をLSI設計方法論の開発とともに日本が国家プロジェクトで推し進めるのも一案である。例えば、ユビキタス・ネットワークにおける基盤技術の1つであるセキュリティに関連するLSI技術に注力する事があげられる。

この新規LSI技術は、電子マネーや個人認証、暗号処理等で安全な環境を構築する技術に深く関係する。この様なLSIの開発を通じて、日本独自のLSI設計技術を強化する事が考えられる。これは、LSIの集積規模が必ずしも大きくは無く、最初は、まとまった市場が見込めるものではない。しかし、国が関与するセキ

ュリティに関連する部分のLSI設計は、ブラックボックスのまま諸外国のベンダーのEDAツールやIPに依存し続けるべきでは無い。また、これによって新たなLSI設計方法論が開発されれば、技術的な波及効果も期待出来る。

かつて、それぞれの企業でEDA技術の開発を担当した技術者が、まだ日本には、存在する。これらの技術者を集めて、若い技術者も交えながら開発を行えば、まだ競争力を強化するポテンシャルは存在するであろう。逆に、この機を逃せば、LSI設計技術について教える事が出来る人材もいなくなり、EDAツールに加え、やがて技術者までも全面輸入に依存せざるを得なくなる可能性が高い。現在は、まだこれらの経験者を生かし、技術を継承出来る状況にある。

LSI設計技術は、今後も各種の新たな課題に対処する事が求められるであろう。それは、現在挙げられるものでもアナログ回路設計や設計検証、テスト技術等である。これら以外にも、より複雑となるシステムLSIでは、様々な課題が発生してくるであろう。一般消費者向け電子機器用のシステムLSIでは、世界の他の国や地域よりも複雑なシステムが、最初に日本で市場に投入されている。この様にLSI設計におけるシステム応用の課題を先取りするチャンスは、日本は最も恵まれていると考えられる。日本の企業のユーザとしての価値の高い要求が、EDAベンダーのみに提示されるべきでは無い。企業と大学は、学会や展示会、産学間の交流を通し、技術課題を早期に共有していくべきである。大学には、この企業の要求に対する解を開発する技術力が求められている。

(注2) この分野の日本の大学の研究者数は、教授・助教授がせいぜい50名程度の規模である。一方、台湾では、元々200名程度の規模であった大学の研究者数を、Si-Softプロジェクトにより、この3年間で少なくとも倍増させる計画である。

5. 終わりに

電子機器の価値の源泉は、システム LSI に集約されつつある。一方、製品寿命の短命化に対して、複雑な LSI を短期間で開発する技術への要求が高まっている。この LSI の開発において、製造技術よりも LSI 設計技術の重要性が相対的に高まり、システム LSI の開発では、LSI 設計がボトルネックになりつつある。

LSI 設計を支援する設計方法論は、これまで大きく発展してきた。設計の記述スタイルだけでも、素子のレイアウト図 (70 年代)、回路図 (80 年代)、テキスト形式の言語 (90 年代) と過去約 10 年毎に、より抽象度の高い上流へ発展してきた。LSI 設計においてもソフトウェア開発の場合と同様に発展してきている。

ところが、第 3 章に示した様にこの上流の設計技術が元々弱い日本の開発力は、新規領域が抽象度の高い記述になるにつれ、ますます低下している。この分野の最高峰の学会である DAC (Design Automation Conference) においても、日本の採択論文シェアは、近年、2%前後に低下している。

DAC に採択される論文は、7割以上が大学からであり、この分野の技術開発における大学の果たす役割は大きい。米国では、大学向けの LSI 試作サービスや産学連携システムが整備された後に、大学からの採択論文数が急伸した。また、半導体製造業で成功を収めた台湾が、国家の主導の下、LSI 設計力を急速に強化しつつある。他の国や地域でも国や産業界が LSI の設計力を強化する動きがあるが、日本だけが例外になりつつある。

日本は、まず、元々少ないこの分野の大学の研究者を増加させる

必要がある。それには、企業や外国からの研究者の採用も短期的には不可欠である。長期的には、この LSI 設計技術の開発に必要な人材を養成する為に日本におけるコンピュータ関連の大学教育を充実させていく必要がある。

LSI 設計の競争力は新たな設計方法論を開発していく力であり、日本は、国として重要な用途、例えばセキュリティに関連する LSI の開発を通して、競争力のある設計方法論も同時に開発していくべきである。

謝 辞

本稿をまとめるにあたり、(株)半導体理工学研究センター (STARC) の小澤時典顧問、(株)ファイ・マイクロテック 赤澤幸雄代表取締役、九州大学大学院システム情報科学研究所 安浦寛人教授のご意見を参考にさせていただきました。また、東京工業大学大学院理工学研究科 松澤昭教授ならびに STARC の小澤顧問には、資料をご提供して頂きました。文末にはなりますが、ここに深甚な感謝の意を表します。

参考文献

- 1) Hon-Sum Philip Wong, et al. "Nanoscale CMOS" Proceeding of the IEEE, pp.537, Vol.87, No.4 Apr. 1999
- 2) 安部;「デジタル家電の成長戦略」富士通総研経済研究所 研究レポート、No.212、2004 年 11 月：
http://www.fri.fujitsu.com/open_knlg/reports/212.html
- 3) 科学技術政策研究所「研究開発関連政策が及ぼす経済効果の定量的手法に関する調査」(中間報告) 1999 年 6 月
- 4) ITRS 公式サイト：

<http://public.itrs.net/>

- 5) 第 1 回シリコンアナログ RF 研究会 基調講演資料より、2004 年 4 月 5 日開催：
http://masu-www.pi.titech.ac.jp/RF/cfp/20040408/matsuzawa_kichokouen_20040408.pdf
- 6) Mark Rencher, et al. "What's Yield got to do with IC Design?" EETimes：
http://i.cmpnet.com/eedesign/2003/inside_eedesign6.pdf
- 7) 「STARC ニュース No.7」2000 年 8 月 16 日、半導体理工学研究センター：
http://www.starc.or.jp/starc/oldnews/oldpdf/STARCNews_No7.pdf
- 8) 「半導体設計支援 (EDA) 技術に関する特許出願技術動向調査報告」、2003 年 4 月 24 日特許庁：
<http://www.jpo.go.jp/shiryou/pdf/gidou-houkoku/eda.pdf>
- 9) 「システム LSI 技術に関する調査研究報告書」、2004 年 3 月、社団法人 電子情報技術産業協会 編集・発行
- 10) 「STARC シンポジウム 2004 講演予稿集」、2004 年 9 月 9 日、(株)半導体理工学研究センター発行
- 11) 国立交通大学の Website, "The National Si-Soft Project"：
<http://www.cc.nctu.edu.tw/~sect/speech/The%20National%20Si-Soft%20Project.doc>
- 12) 小澤;「半導体技術教育の理想と現実—大学と企業の間にはこれだけのミスマッチがある—」、デザインウェブマガジン、2000 年 3 月号
- 13) 藤井;「情報処理教育カリキュラムの動向と課題」科学技術動向 2004 年 6 月号：
<http://www.nistep.go.jp/index-j.html>