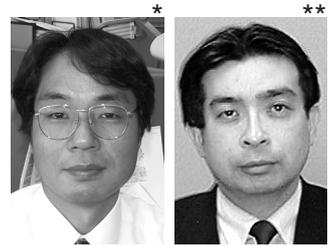


特集②

エレクトロニクスへの ナノテクノロジーの応用

—検討が進むシリコン LSI への適用例から—



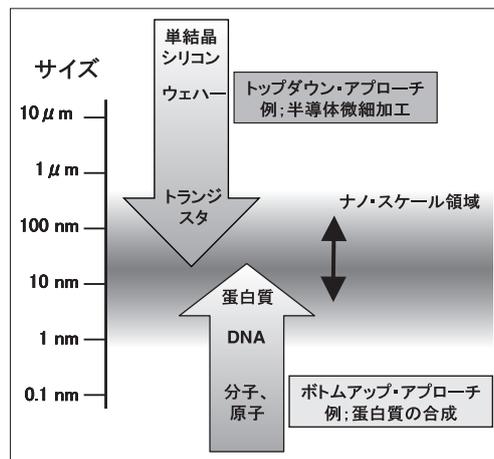
情報通信ユニット 小松 裕司*
客員研究官 小笠原 敦**

1. はじめに

ナノテクノロジーは、広義にはナノスケールの物質を取り扱う技術すべてを意味する。また狭義には、物質をある特定のサイズとする事により、そのサイズ特有の性質が発現する事を利用した技術を意味し、この特定のサイズは、10nm から 100nm の範囲である場合が多い。

これらのサイズの物質を実現するには、大きく2つの方法がある¹⁾。一方は、マクロスケールのものを微細加工により、小さく加工していくトップダウン・アプローチであり、他方はナノスケール以下のものを組み上げて、ナノスケールとするボトムアップ・アプローチである(図表1)。トップダウン・アプローチの代表例としては、半導体微細加工技術があげられる。これは、1つのマクロなシリコン単結晶を最終的にトランジスタ等の微細素子に加工する技術である。ボトムアップ・アプローチの代表例としては、生命活動があげられる。これは、原子や分子から DNA や蛋白質等を合成し、最終的には生物個体を形成していく能力である。トップダウン・アプローチの代表例である半導体微細加工の加工寸法は、量産レベルの最先端シリコン LSI 製品で既に

図表1 ナノスケールへのアプローチの2つの方法



科学技術動向研究センターにて作成

90nm に至っている²⁾。

米国等の海外では、半導体の微細加工技術に代表されるトップダウン・アプローチがナノテクノロジーにおいても主要な位置を占めている。ナノテクノロジーの重要な使命の1つにシリコン LSI 技術の延命が位置づけられている例もある³⁾。

分子の自己組織化の応用の可否を早期に判断するとして米国「21世紀ナノテクノロジー研究開発法」^{4,5)}の影響からか、最近、米国の大学や企業を中心に、トップダウン・アプローチの一部にボトムアップ・アプローチを組み入れ、ナノテクノロジーの利点をよりス

ムズに既存のエレクトロニクス技術に応用する研究がなされ始めた。このボトムアップ・アプローチは、例えばナノテクノロジーの最大の特徴である自己組織化を利用した素子の形成や、電子のみならずイオンの移動を伴うデバイス応用等である。これらは従来のシリコン LSI をベースにしながらもナノテクノロジーの基本概念を着実に導入したものである。

本稿では、シリコン LSI 関連の主要学会や学会誌等で発表された論文を中心にナノテクノロジーのこの技術領域への適用例をあげ、実用化に向けた研究開発動向を探る。

**おがさわら あつし ● 独立行政法人 産業技術総合研究所 主任研究員 ● <http://www.aist.go.jp/>

2. シリコン LSI 技術の階層について

全ての技術をボトムアップ・アプローチで新たに組み上げるのではなく、従来のトップダウン・アプローチの技術体系の一部にボトムアップ・アプローチの技術を組み入れて使用する事になる。この時、重要な事は、従来の技術体系がどのようになっているか、新たな技術と既存技術とのインターフェースはどうか、新たな技術で一部置き換える事の既存技術への影響はどの範囲、どの程度か等である。

図表 2 は、次章で示すシリコン LSI 技術の階層を示している。ここでは、シリコン LSI 技術の階層を大きく材料、単体素子、基本回路、機能ブロックの 4 つに分けている。幾つかの機能ブロックを組み合わせる事により、LSI が作製される。図表 2 には、各階層での検討対象の例とそれらがトランジスタ等の基本素子を単位とした場合、目安として、どの程度の集積規模になるかも示した。

シリコン LSI の場合、過去の世代に開発した技術を利用して、次の世代の技術開発を行う事が多い。過去の技術であっても優れたものは、転用可能な資産として、広く流通する事になる。これらは例えば、LSI 製造工程で使用される材料や製造装置もしくは、IP (Intellectual Property) と呼ばれる再利用可能な LSI 設計資産である。特に近年、金額的にも大きな設備投資が必要な製造ラインや設計環境について、前の世代の技術

を可能な限り引き継ぐ事は、経済的にも効果的である。カーボン・ナノチューブを用いた単体のトランジスタが試作された後で、この技術が集積化を含めた総合的な機能で現在のシリコン LSI に追いつく為には幾つもの技術的、経済的な障壁がある事を認識しなければならない。

次章では、シリコン LSI のそれぞれの技術階層で、ナノテクノロジーのどの様な応用検討が行われているのかを実例をあげて示す。

図表 2 大きく 4 つに分けたシリコン LSI 技術の階層

No.	検討の階層	例	素子の数	技術	転用可能な資産
1	材料	シリコン 高誘電率材料	< 1	製造	材料、製造装置、 製造ライン
2	単体素子	トランジスタ キャパシタ	1		
3	基本回路	論理回路、遅延回路	10 ~ 10 ²	LSI 設計	設計手法、 設計環境、IP
4	機能ブロック	メモリ 算術演算ユニット	10 ² ~ 10 ⁸		

科学技術動向研究センターにて作成

3. ナノテクノロジーの応用例

ナノテクノロジーの応用例として、以下に代表的な 5 つの例を示す。先に示したシリコン LSI 技術の階層で、最初の 3 つは材料や単体素子技術に関する検討であり、残りの 2 つは基本回路や機能ブロックに関する検討である。

3 - 1

分子メモリ

最初の例は、DRAM^①のキャパシタの誘電体材料にボトムアップ・アプローチのナノテクノロジーを応用したものである。DRAM の基本セルは、トランジスタとキャパシタそれぞれ 1 つからなる。ここで、能動素子であるトランジ

スタは、比例縮小により性能を向上させる事が可能である。しかし、受動素子であるキャパシタは、リーク電流の増加からその誘電体材料を一定値以下に薄膜化する事は難しく、比例縮小により実装面積が小さくなると、蓄積容量が低下する事になる。これに対してチップ上の実装面積を増大させずに一定容量を確保する為に、従来、シリコン基板に深く穴を掘ったり (トレンチ型)、キャパシタ電極を 3 次元的に高く積み上げ (スタック型) たりしてきた。この結果、DRAM ではキャパシタ形成の工程を中心に製造プロセスは複雑になり、結果的には製造コストが増大していた。

用語説明

① DRAM

半導体記憶素子の 1 つ。読み書きが自由に行なえるランダムアクセスメモリの一種で主にコンピュータのメインメモリに用いられる。

この課題に対して、カリフォルニア大学の Werner G. Kuhr 等は、DRAM キャパシタの誘電体膜を自己組織化により形成された単分子膜とある種の電解質の 2 層構造で形成することにより、解決を試みている⁶⁾。この 2 層構造の採用により、電界の印加方向に応じて、単分子層と電解質との間で酸化還元反応が起こり、分子膜に蓄積される電荷 (起電力) を変化させる

事が出来るとしている。

従来のシリコン酸化膜等の絶縁膜からなるキャパシタに対して、今回の技術はキャパシタの面積によって分子の数、つまり蓄積される電荷の量が決定され、これは印加電圧に依存しない。この結果キャパシタ面積の縮小が可能となる。蓄積電荷の特性は基板では無く、分子層により決定され、電荷密度は従来比1桁以上増大し、従来トランジスタのリーク特性で決定されていた電荷保持時間は分子の特性によって決まり、従来の1万倍(10秒)以上になると報告されている。

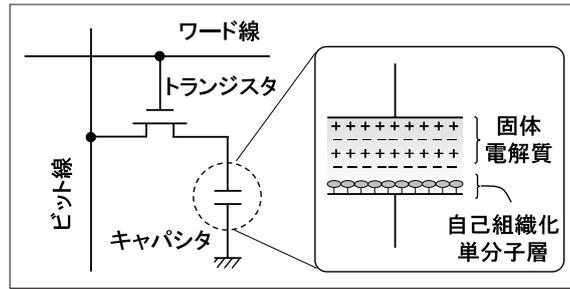
また、酸化還元反応後の分子の状態が離散値をとる事^②を利用して、多値メモリセルや多値論理ゲートへの応用の可能性も示唆している。さらに、分子層は自己組織化にて形成され、これはシリコンや金属等の特定の基板上のみに自己整合的に成長させる事が可能であり、既存のLSI製造装置を用いて安価にプロセスを行う事が可能である事を示している。この技術に関しては、既にZettaCore^③なるベンチャーが1 Mbit DRAMを試作して電氣的な特性を評価しており、比較的完成度も高いと考えられる。

3 - 2

微細加工

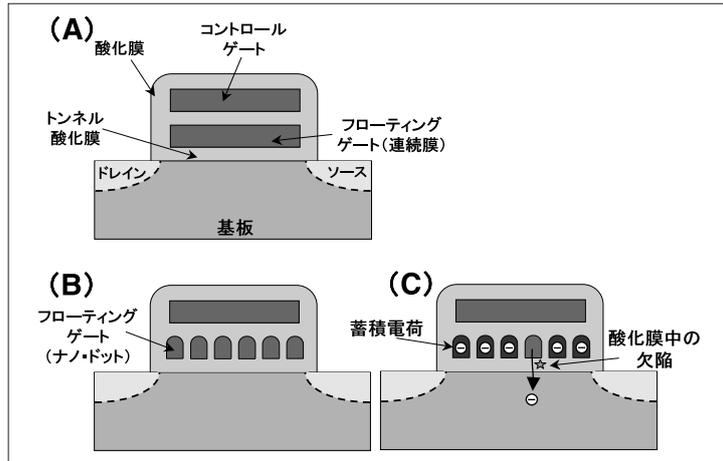
メモリの基本単位が2つの素子で構成されるDRAMに対して、不揮発性半導体メモリの主要デバイスであるフラッシュ・メモリ^④では、トランジスタ1つで構成される。この為、フラッシュ・メモリは高密度・低価格化に有利となり、コストが優先される情報家電等の民生品への応用で市場を急速に拡大している。特に、携帯電話等の携帯機器においても近年は画像信号を扱うようになり、扱う情報量の急増からフラッシュ・メモ

図表3 DRAMキャパシタに応用した分子メモリ



参考資料^{6,7)}を基に科学技術動向研究センターにて作成

図表4 フラッシュ・メモリ基本素子断面模式図



科学技術動向研究センターにて作成

リに対しても大容量化の要求が高まっている^⑧。

ところが、フラッシュ・メモリでは、以前から物理的な微細化の限界として、トンネル酸化膜の薄膜化限界が指摘されている(図表4A)。代表的なフラッシュ・メモリの基本素子であるフローティング・ゲート型と呼ばれるトランジスタでは、2つのゲート電極を積層し、蓄積電極(フローティング・ゲート)中の電荷の有無で情報を記憶する。この電荷の注入は、

制御ゲートへの電圧印加によりトンネル酸化膜を通じて行われる。トンネル酸化膜は、通常、シリコン酸化膜(SiO₂)にて形成されるが、少なくともその記憶保持保障期間中(通常10年)は、蓄積電極中の電荷を保持出来るだけの十分な絶縁性を有していなければならない。この為、現在の技術ではトンネル酸化膜は一定値以下にする事は出来ず、このトンネル酸化膜だけは半導体デバイスの比例縮小則に従った微細化が行えない。

用語説明

②状態が離散値をとる分子

マルチ・ポルフィリンナノ構造(Multi-porphyrin nanostructures)と呼ばれる分子を用いて、最大8個の異なる酸化状態(3ビット)を得ていると報告されている^④。ポルフィリンは、有機化合物色素の1つ。

③ZettaCore社

カリフォルニア大学とノースカロライナ州立大学の研究者が1999年設立したベンチャー。

④フラッシュ・メモリ

電氣的に書き換えが可能で、データを一括またはブロック単位で消去可能な不揮発性メモリ。

これは、トランジスタの微細化を難しくするだけでなく、動作電圧を下げる事も出来ず、低消費電力化や他の低電圧 LSI との集積化の観点からも不利となる。

この課題に対して、フローティング・ゲートをナノドットと呼ばれる非連続膜で形成するアイデアが提出された (図表 4B)。連続膜で形成される蓄積電極では、トンネル酸化膜に1つ欠陥が存在すれば、そのメモリは不良となる。しかし、蓄積電極を非連続膜とする事により、トンネル酸化膜に欠陥が多少存在しても蓄積電極の一部の電荷が失われるのみで、メモリの状態は殆ど変化しない (図表 4C)。このようにトンネル酸化膜の欠陥に対して、堅牢なトランジスタの設計が行えれば、トンネル酸化膜をさらに薄くする事が可能となる⁹⁾。

ところが、ナノドットを従来の薄膜形成技術で形成するとこの結晶サイズや形成される位置がランダムにばらつき、その結果、トランジスタの特性も大きくばらつくとの報告があり¹⁰⁾、ナノドットを

微細、かつ結晶サイズを揃えて形成する技術が求められていた。

この課題に対して、米 IBM は自己組織化過程を応用したシリコンのナノドットの形成技術を2003年の電子デバイスに関する国際会議 (IEDM) で発表した¹¹⁾。

IBM はある種の高分子有機材料が有する自己組織化の性質を利用し、従来のリソグラフィ技術を用いず、ナノドットを形成する方法を開発した。この手法によると、従来のリソグラフィで形成したものよりもナノドットをより小さく、高密度、高精度で均一に形成できる。高解像度の走査型電子顕微鏡写真からは、シリコンのナノドットは多結晶シリコンの制御ゲートとシリコン基板との間に約 20nm のサイズで一様に形成されていることがわかる (図表 5)。

この IBM の報告は、従来のリソグラフィ技術でトップダウンに形成される半導体デバイスの一部にボトムアップ・アプローチの自己組織化技術を組み入れて、フローティング・ゲート型不揮発性メモリの鍵となる技術である蓄積

電極を形成し、従来技術の課題を解決した好例と言える。

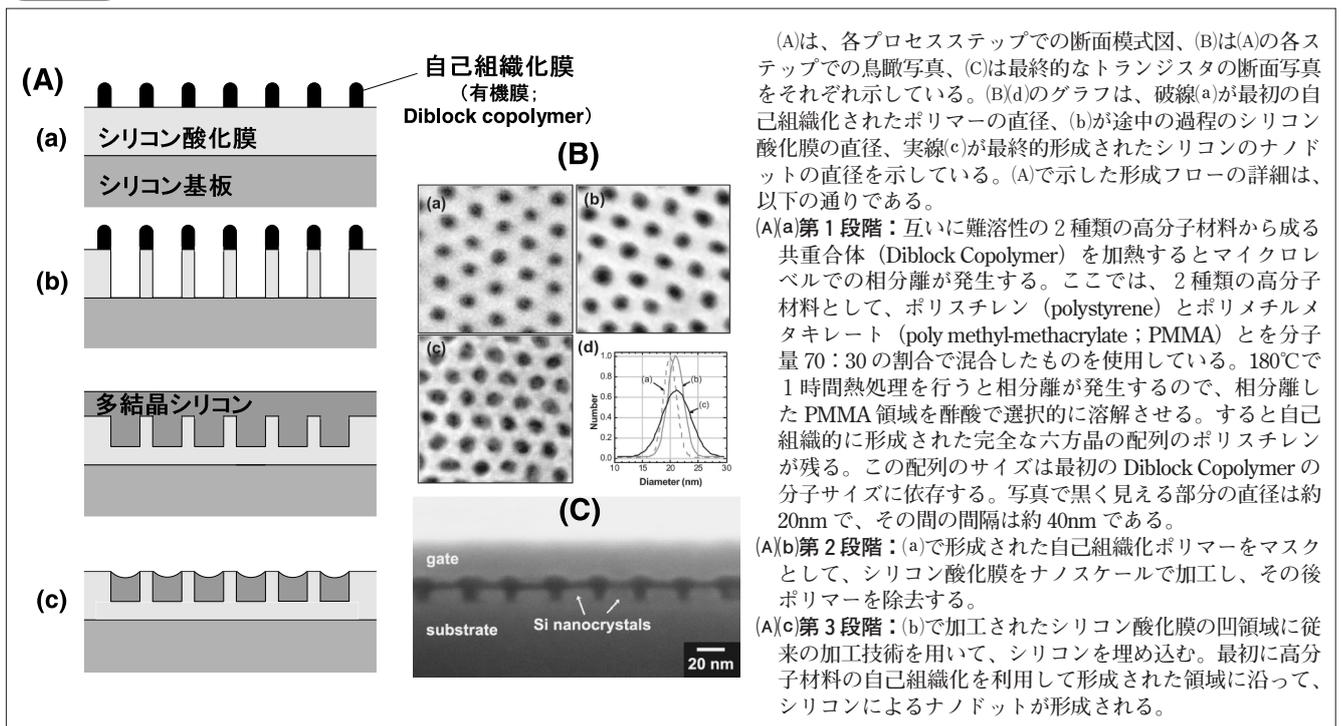
3 - 3

イオン電界移動スイッチ

素子数やチップ面積が同じ LSI で、データ処理速度や消費電力のどちらか一方を優先させる場合に LSI の内部配線の一部を切り替えて、素子間の接続を変更して使用する場合があります。従来、この配線の切り替えは、LSI を製造した後に高電流やレーザー照射による熱で配線を物理的に溶断して行う手法が用いられてきた。しかしこの手法には、不可逆プロセスで一回だけの切断のみ可能である事、配線の微細化に伴い周辺にダメージを与えずに配線を切断することが困難になってきている事等の課題がある。何回でも切り替えが可能なスイッチとして、トランジスタを使用する方法もあるが、この場合は、トランジスタを付加する事に伴う、遅延時間や実装面積、消費電力の増大を伴う。

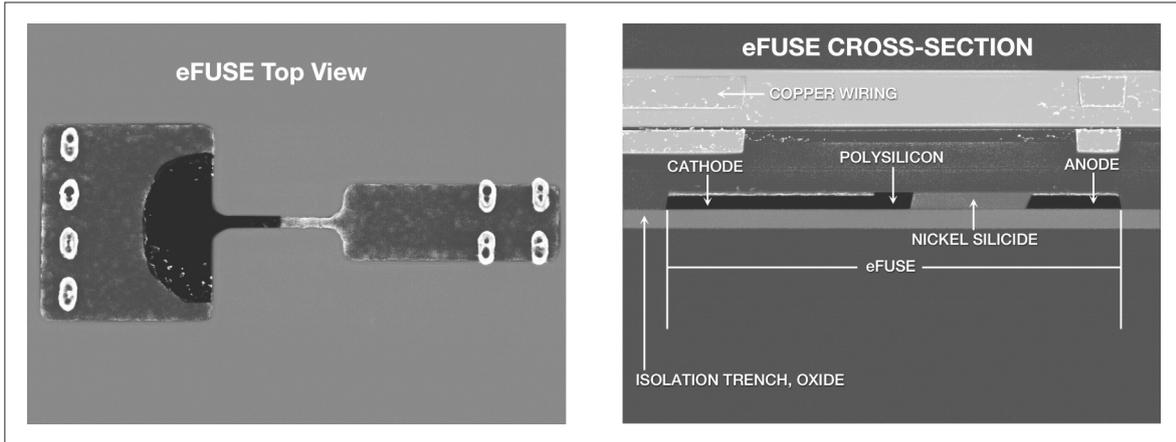
この課題に対して、米 IBM は、

図表 5 シリコンのナノドットの形成フロー



参考資料¹¹⁾ より抜粋、模式図は科学技術動向研究センターにて作成

図表6 eFuse 写真 (左は鳥瞰、右が断面)



色の変化している部分は、原子が移動している部分

参考資料¹²⁾より抜粋

イーフェーズ (eFuse) と呼ばれる通電による金属原子の移動 (エレクトロ・マイグレーション) を利用して自律的に回路を再構成する技術を 2004 年 7 月に発表した¹²⁾。

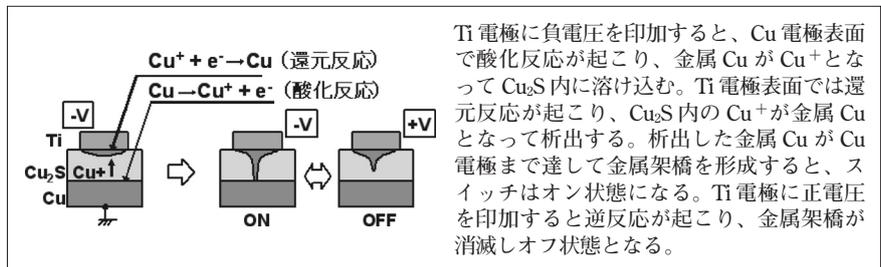
エレクトロ・マイグレーションとは、高密度電流を流した時に金属原子が固体中を移動する現象であり、LSI 配線の信頼性を低下させるので、回避されるべき現象として古くから知られていた。

IBM の eFuse は、この現象を逆手にとって LSI 配線の電気的な切り替えに積極的に活用する技術である。エレクトロ・マイグレーションを利用する今回の手法では、100nm 程度の微細配線を、ダメージを与えることなく、さらには何度でも電気的に変更できることが特長となっている (図表 6)。

eFuse は、単に内部配線を切り替え、速度か消費電力のどちらかを優先した LSI を実現するだけが目的では無い。システムの故障時に故障部位を検出し、この部分を切断、代替回路に接続するといった自己修復技術としての使い方や、過剰な負荷等に対して配線抵抗を調整し、故障を回避する様な使い方も可能である。

IBM はオートノミック (自律)・コンピューティングを提唱して、自己管理、自己修復等の機能を有する自律制御型のコンピュータを実現しようとしている。オートノ

図表7 固体電解質中での金属イオン移動を利用したスイッチ



Ti 電極に負電圧を印加すると、Cu 電極表面で酸化反応が起こり、金属 Cu が Cu^{+} となって Cu_2S 内に溶け込む。Ti 電極表面では還元反応が起こり、 Cu_2S 内の Cu^{+} が金属 Cu となって析出する。析出した金属 Cu が Cu 電極まで達して金属架橋を形成すると、スイッチはオン状態になる。Ti 電極に正電圧を印加すると逆反応が起こり、金属架橋が消滅しオフ状態となる。

参考資料¹⁴⁾より抜粋

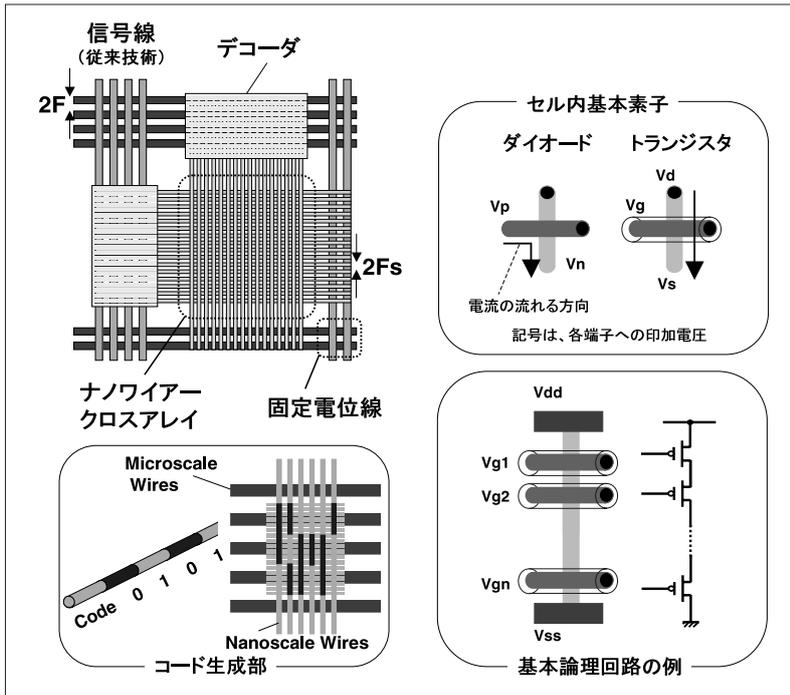
ミック・コンピューティングがソフトウェアやシステム側からのアプローチであるのに対し、eFuse はハードウェアやデバイス側からのアプローチとなる。この技術発表は、従来、回避すべき現象でしかなかったエレクトロ・マイグレーションを繰り返し使用可能な可逆スイッチとして、さらに次世代コンピューティングの中核となるハードウェア機能としてまで見据え、IBM が技術開発を行っている事を示している。

日本でも日本電気 (NEC) と物質・材料研究機構 (NIMS)、科学技術振興機構 (JST) は共同で、固体電解質中での金属原子移動に基づく架橋現象を利用し、小型・低抵抗接続スイッチを開発している。これは原子スイッチング現象と呼ばれる固体電解質中の電気化学反応による金属架橋の伸張¹³⁾によって、電気的導通チャネルが生成・消滅する現象を利用したものである。

電子機器の開発期間短縮の為に、近年は電子機器の開発者が、LSI の回路の組み換えやプログラムが可能な論理回路が注目されている。プログラム可能な従来の論理回路は、プログラムを行うのに必要なスイッチの面積が大きく、抵抗も高いため、高速・低消費電力化が難しかった。この課題に対して、今回のスイッチは、リソグラフィを用いずに形成出来、トランジスタを用いる従来のスイッチに対して、実装面積約 1/30、接続抵抗約 1/10 を実現し、スイッチを含めた配線による信号遅延を 20 ~ 40%改善している。

このスイッチは、IBM の eFuse と同様に可逆的にオン・オフを繰り返す事が可能である。また、あらかじめ回路を決めて構成する静的にプログラム可能な論理回路だけでなく、回路を動作させながら次々と回路構成を変化させ動的にプログラム可能な回路を構成することも可能となる。

図表8 ナノワイア等のアレイをベースとした回路アーキテクチャ



参考資料^{15,16)}を基に科学技術動向研究センターにて作成

3 - 4

素子アレイ

トップダウン・アプローチにて微細化が進む既存の集積回路において、最も微細化が必要となる部分のみについてナノチューブもしくはナノワイアを組み合わせて形成される回路を集積化するアーキテクチャの検討が行われている^{15, 16)}。

これは、既存のリソグラフィーを用いて形成される最小パターンF (繰り返しサイズ; 2F) で形成される LSI の一部に 2F よりは小さく、リソグラフィーを用いないで形成される繰り返しパターンFs (繰り返しサイズ; 2Fs) を組み込んで LSI を形成するものである (図表 8)。2Fs の規則的な繰り返しパターンは、メモリセルやゲート・アレイ等トランジスタを規則的に配置して形成される機能ブロックを構成するのに都合が良い。

セル内の基本デバイスは、ナノワイア等を交差させて形成されるダイオードもしくはトランジスタ

を用いた論理回路となる。

この集積回路アーキテクチャにおいては、リソグラフィーを用いた既存技術の回路とナノワイア等のアレイ部とを如何に接続するかが鍵となる。これを達成する為に両者のインタフェース部分に 2Fs サイズで形成されるデコーダ回路を形成する事が提案されている。デコーダのコード生成部の形成方法は、リソグラフィーを用いずに行う必要がある。具体的には、ナノワイアへのドーピングやナノインプリント⁵⁾等による方法が提案されている。

デコーダ部の形成方法には、さらに一段のブレイクスルーが必要とも思えるが、集積回路と言う最終目標に対して、“あと何が足りないか”を明確化するだけでも意義がある。もちろん、ここで抽出された課題が製造技術へ適切にフィードバックされ、これが解決されれば、一気に実用化へと進む可能性も高い。

3 - 5

QCA⁶⁾論理 LSI

現在の LSI は、抽象度の高い上流からより詳細な記述を各ステップで行っていく設計手法を採用している。幾つかの制約条件の下で大規模 LSI を設計する上で、この設計手法は効果的である。上流から下流への各ステップで、詳細なモデルの合成とその検証とを繰り返し行う事により、モデル記述の誤りをそれぞれのステップで検出する事が出来る。この結果、モデル合成の間違いやそれに伴うやり直しを最小限に抑え、集積規模が増大する LSI に対して、効率の良い設計が可能となる。この設計手法では、一般に上流から下流に記述モデルが具体化する程、記述モデルはより製造技術に依存したものとなる。CMOS をベースとした現在の LSI では、図表 9 に示す論理モデルよりも下流のステップで CMOS 製造技術の影響を受け、記

用語説明

⑤ナノインプリント

金型を用いたプレス工法をナノスケールに応用したもの。微細な凹凸のある型を樹脂薄膜等の被加工材料に押し付けて成型するナノスケールの成型加工技術。

⑥ QCA

セル・オートマタ (Cellular Automata, CA) とは、状態が離散値をとる動的な状態マシンである。空間の複数の格子における各点はセル (Cell) と呼ばれ、有限個の 1 つの状態をとる。ある時点のセルの状態は前の時点におけるそのセル自身の状態とその周辺のセルの状態とにより決定される。全てのセルは同期的に、時間的にも離散値をとりながら更新される。量子ドットで形成されるセル・オートマタが QCA である。セル・オートマタの身近な例としては、オセロゲームの進行状態があげられる。

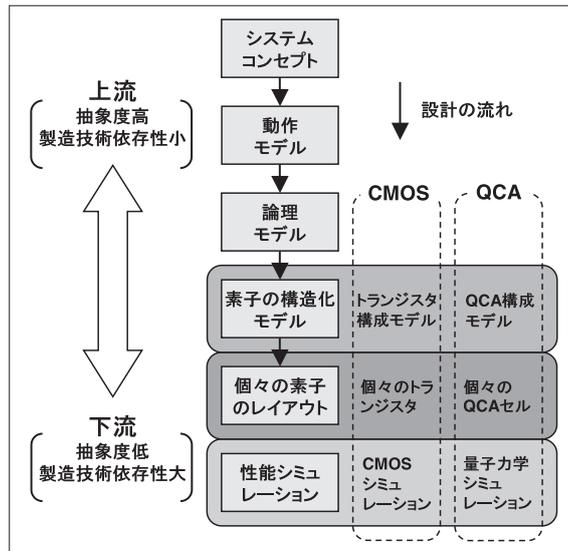
述モデルが変化する場合が多い。

この様な CMOS で培われた LSI の設計手法を一部修正して、QCA をベースとした集積化システムの設計を効率よく行う為の設計技術の検討がなされている¹⁷⁾。

QCA は素子レベルで CMOS よりも非常に小さい面積に実装出来る可能性があり、その潜在能力が注目されている。ところが、この QCA は、最初にその素子のアーキテクチャが提案されてから既に 10 年以上が経過しているが、依然として目立った集積回路への応用には至っていない。この 1 つの理由として、素子レベルの機能を集積化して、システムレベルにまで組み上げる設計手法が無い事があげられる。

これに対して、米インディアナ州バルパライソ (Valparaiso) 大学の Steven C. Henderson 等は、素子の構造化モデルの合成およびこれより下流のステップでのモデル合成とその検証とを可能とする設計技術の開発を報告している¹⁷⁾。例えば、論理モデルから素子の構造化モデルを合成する設計ツールとして、QCA 用に修正された高速なハードウェア記述言語^⑦が開発されている。さらにこの下流の個々の QCA セルのレイアウト合成や合成後の QCA レイアウトでの性能シミュレーションを行って、QCA をベースとした素子技術を用

図表 9 LSI 設計フローと製造技術に応じて修正が必要な部分



参考資料¹⁷⁾を基に科学技術動向研究センターにて作成

いても一貫した LSI の設計が行える設計技術が提案されている。

近年、複雑化する LSI の設計においては、流通する再利用可能な LSI 設計資産 (IP) を利用して、短時間で効率の良い設計を行うケースが急増している。IP は、システムコンセプトや生産ライン等、個々の企業の戦略やそれぞれの製造ラインの特性に影響される部分以外の中間領域で、広く流通する機会が多い。これらの IP を利用して、既存の設計資産をうまく利用しながら、QCA 技術をベースとした時の一部設計手法の修正は、別の製造技術をベースとした LSI の設計手法の開発にも応用

用語説明

⑦ハードウェア記述言語

回路図等の絵を描いて記述していたハードウェアをコンピュータ上で処理される形式言語で置き換えたもの。ソフトウェアのプログラムを作成する様な感覚でハードウェアの開発が行える。

出来る可能性が高い。この様に、既存の設計資産を再利用する技術は、新しい物理現象に基づく素子を効率的に集積化していく上では、非常に重要な技術である。

4. ナノテクノロジーの継続的な発展の為に

砒化ガリウム (GaAs) を代表とする発光デバイスとして重要な化合物半導体は、その材料が有する優れた特性から電子デバイスとしても、かつてシリコン半導体を凌駕すると言われた。しかし、この化合物半導体は、単体での特性は優れていても、集積化する事が難しい等の理由から総合的な性能で技術の進展は遅く、期待された程には、大きな産業を形成してい

ない。ナノテクノロジーを用いたデバイスも単体の特性がいくら優れていても、それはあくまでも特性の一面であり、複数の素子を集積化した後で性能が発揮出来なければ、応用は限られた分野に留まるであろう。

ナノテクノロジーの展開を考えた場合、マイクロからナノへ一気に技術体系が転換してしまう事は考え難い。この技術移行を如何に

スムーズに行うか、ナノテクノロジーを如何に現在の技術領域に取り込み拡大して行くのが焦点となる。スタンフォード大学の西教授は、ナノテクノロジーの段階的発展 (Evolutionary Nano) と革新的発展 (Revolutionary Nano) とを区別して考える必要があると主張している¹⁸⁾。ここで、段階的発展とはシリコン LSI の場合は、トップダウン・アプローチ

による継続的な微細化であり、革新的発展とはボトムアップ・アプローチによる非連続な微細化である。Revolutionary Nanoは、大々的に報道される場合が多くなりがちであるが、当面の産業への貢献度から考えると Evolutionary Nanoの方が大きいと予測される。Revolutionary Nanoが単独で“もの”になるには幾つものブレークスルーが必要である。全体としては、Evolutionary Nanoを追求しながらも、どこまで Revolutionary Nanoと合流していくかが重要であると西教授は主張している。

米国「21世紀ナノテクノロジー研究開発法」の注目すべき点⁴⁾の1つに分子の自己組織化に関する

調査(第5条(b)項)がある。ここでは、全米研究評議会が、3年毎の評価の第1回評価の一環として、分子スケールでの素材および装置の製造に分子の自己組織化が実用化出来るか否かを1回限りの調査で判断するとされている¹⁹⁾。ナノテクノロジーの様な新しい技術領域を継続的に発展させる為には、本来、安定した長期にわたる研究開発投資が必要なのかも知れない。その為には、民間企業が投資する上でもナノテクノロジーを魅力的な技術にしていく事が不可欠で、それには逆に、産業に直結する1つの明確な成果を早い時期に出して行く必要がある。米国「21世紀ナノテクノロジー研究開発法」で述べられている実用化の判

断は、このテストケースの1つとも考えられる。

一方日本では、ナノスケールの物質の実現方法として、トップダウン・アプローチとボトムアップ・アプローチの二者択一の議論になりがちである。シリコンLSI関連の学会や論文発表で見る限り、両者を組み合わせた日本発の研究も3章であげた日本電気と他の研究グループによる発表程度であり、非常に少ない。両者のアプローチの優劣では無く、如何にパラダイムを変え、産業としてもナノテクノロジーを継続的に発展させていくかを考えた場合、米国に学ぶべき点は多い。

5. 終わりに

ナノテクノロジーが取り扱うナノスケールの物質を実現する方法は、大きく2つに分けられる。一方は、半導体微細加工技術の様にマクロスケールのものを小さく加工していくトップダウン・アプローチである。もう一方は、生命活動による蛋白質の合成作用の様にナノスケール以下のものを組み上げて、ナノスケールとするボトムアップ・アプローチである。

近年、米国の大学や企業を中心にトップダウン・アプローチの一部にボトムアップ・アプローチを組み入れ、ナノテクノロジーの利点をよりスムーズに既存のエレクトロニクス技術に応用する検討がなされ始めた。それは、ナノテクノロジーの最大の特徴である自己組織化を利用した素子の形成や、電子のみならずイオンの移動を伴うデバイス応用等である。また、材料や基本デバイスの検討に留まらず、シリコンLSIの他の技術階層である基本回路やLSI設計技術等、既存の技術基盤の上にナノテクノロジーを利用した技術を組み

入れる検討も行われている。

これは、従来のシリコンLSI技術をベースにしながらもナノテクノロジーの基本概念を着実に導入し、実用化を前提とした具体的な検討が進展している事を示している。

ナノテクノロジーの様な新しい技術領域を継続的に発展させる為には、安定した長期にわたる研究開発投資が必要であろう。その為には、民間企業が投資する上でもナノテクノロジーを魅力的な技術にしていく事が不可欠で、それには逆に、産業に直結する1つの明確な成果を早い時期に出して行く必要がある。

一方日本では、トップダウン・アプローチとボトムアップ・アプローチの二者択一の議論になりがちであり、シリコンLSI関連で、両者を組み合わせた日本発の研究も日本電気と他の研究グループによる発表程度であり、非常に少ない。両者のアプローチの優劣では無く、如何にパラダイムを変え、産業としてもナノテクノロジーを継続的に発展させていくかを考え

た場合、米国に学ぶべき点は多い。

謝辞

本稿をまとめるにあたり、スタンフォード大学の西義雄教授には、有益なご意見を頂きました。文末にはなりますが、ここに深甚な感謝の意を表します。

参考文献

- 1) 高野、小口「自己組織化材料研究の動向」科学技術動向2002年7月号：
<http://www.nistep.go.jp/index-j.html>
- 2) ITRS公式サイト：
<http://public.itrs.net/>
- 3) 例えば、SRC (Semiconductor Research Corporation)のウェブサイト：
http://www.src.org/fr/S200406_CSR_grant_app.asp?bhcp=1
- 4) 奥和田「「米国21世紀ナノテクノロジー研究開発法」における注目点」、科学技術動向2004年1月号：
<http://www.nistep.go.jp/index-j.html>

- 5) 科学技術動向2004年7月号
科学技術トピックス「欧州委員会
がナノテクノロジー戦略を発表」:
<http://www.nistep.go.jp/index-j.html>
- 6) Werner G. Kuhr, et al. "Molecular
Memories Based on a CMOS
Platform" MRS Bulletin, pp.838,
Vol.29, No.11, Nov. 2004
- 7) ZettaCore のホームページ:
<http://www.zettacore.com/>
- 8) 科学技術動向2004年10月号
科学技術トピックス「半導体微
細化の主役に躍り出る不揮発性
メモリ」:
<http://www.nistep.go.jp/index-j.html>
- 9) 例 え ば Y. C. King, et al. "MOS
Memory Using Germanium
Nanocrystals Formed by
Thermal Oxidation of Si_{1-x}Ge_x"
IEDM Tech. Dig., 1998
- 10) 例 え ば J. A. Wahl, et al. "Write,
Erase and Storage Times in
Nanocrystal Memories and the
Role of Interface States" IEDM
Tech. Dig., 1999
- 11) IBM のウェブサイト:
<http://domino.research.ibm.com/Comm/bios.nsf/pages/selfassembly-iedm.html>
または、K. W. Guarini, et al. "Low
Voltage, Scalable Nano Crystal
FLASH Memory Fabricated
by Templated Self Assembly"
IEDM Tech. Dig., 2003
- 12) IBM によるプレスリリース:
http://www-03.ibm.com/chips/news/2004/0730_efuse.html
- 13) T. Hasegawa, et al. SSDM Ext.
Abst. 564 (2001).
- 14) 科学技術振興機構によるプレス
リリース:
<http://www.jst.go.jp/pr/announce/20040218/>
- 15) カリフォルニア工科大学のウエ
ブサイト:
http://www.cs.caltech.edu/research/ic/molecular_arch.html
- 16) Andre Dehon, et al. "Array-Based
Architecture for FET-Based,
Nanoscale Electronics" IEEE
Trans. on Nanotechnology, pp.23,
Vol.2, No.1, 2003
- 17) Steven C. Henderson, et al.
"Incorporating Standard CMOS
Design Process Methodologies
into the QCA Logic Design
Process" IEEE Trans. on
Nanotechnology, pp.2, Vol.3, No.1,
2004
- 18) 西 義雄; 科学技術政策研究所
講演録 - 127 「ナノテクノロジー
を発展させるために産学連携は
どうあるべきか」2003年10月
- 19) Nanonet:
<http://www.nanonet.go.jp/japanese/info/overseas/index.html>

