

2. 特集：次世代 Si-MOS デバイスの研究開発動向

総括ユニット/情報通信ユニット 小笠原 敦

2.1 緒言

IT 技術の根幹を成す半導体デバイスの世界的に重要な研究発表の場の一つである VLSI シンポジウム(6月12日から京都で開催)にさきがけ、Si-MOS デバイスの今後の方向性を示した発表が IBM(6月8日)と Intel(6月9日)からあった。

一つは設計ルールの変更を伴わず Si の結晶格子を伸長させることにより MOS トランジスタのチャネル中の電子の移動度を増大して動作速度を向上させた IBM の発表、もう一つは MOS デバイスのゲート長微細化を 30nm から 20nm にさらに進めた Intel の発表であった。(現行最新プロセスは $0.13\mu\text{m}=130\text{nm}$)

新聞・雑誌等の報道では、2000 年代初頭には到来するであろうと言われていた Si-MOS トランジスタの限界を破るものとして、また 24~18 ヶ月ごとに 2 倍のパフォーマンスを達成するというムーアの法則を少なくとも 2010 年代まで維持することが可能となったものとして注目されている。

しかし本稿では一個のトランジスタの動作速度についてではなく、ロジック回路トータルのパフォーマンスの視点から今回の IBM、Intel 両社の発表を検証し、その意義を論じて行くことにする。

2.2 IBM、Intel の発表

2.2.1 IBM

IBM は SiGe 層と Si 層を積層することにより Si の結晶格子を伸長させ、電子の散乱要因を低減することにより電子のモビリティ(移動度)を高めたトランジスタを開発したと発表した。

このトランジスタは同一設計ルールの MOS トランジスタと比較して、電子のモビリティで約 70%、チップ性能で 35%の速度向上が可能であると発表を行った。

言い換えれば微細化を進めなくても 35%の能力向上が可能であると示したのである。

2.2.2 Intel

一方 Intel は昨 2000 年 12 月に**実効ゲート長**^①

30nm(プロセスルールは 70nm)のトランジスタを開発してデバイス研究者に衝撃を与えたが、わずか半年でさらに実効ゲート長 20nm(プロセスルールは 45nm)、酸化膜厚 0.8nm(原子 3 個分)で、1 秒間に 1 兆 5 千億回もスイッチング動作する MOS トランジスタを開発した。これは現行の MPU(Micro Processing Unit)に用いられているトランジスタのスイッチング速度の 1000 倍にも相当する。2007 年にはこのトランジスタを用いて 20GHz で動作する MPU を商品化するとしている。

2.3 高速トランジスタの考え方

先に述べたように IBM は電子のモビリティを高めることにより動作速度を向上し、また Intel は微細化を推進することによりそれを行った。しかし、高速トランジスタの実現がそのまま高速で動作するロジック回路の実現を、あるいは MPU 等 LSI での高速化の実現を意味するののかという点必ずしもそうではない。

実は IBM で今回発表された Si 格子に歪を加える Strained Silicon Technology は、80 年代後半から 90 年代前半にかけて Direct Bonding SOI^②(直接貼合わせ SOI)や SIMOX(酸素イオン注入 SOI)で作製されていた Thin-Film SOI MOS で既に観測されていた現象と同じものである。Si に応力を与える要因が Si-SiO₂ 界面によるものか Si-SiGe 界面によるかの違いとなるが、原理的に歪格子を形成するという点で同等である。

この歪が加わった SOI MOS デバイスでは、IBM の発表と同様に電子の有効質量の減少と散乱要因の減少により、電子をキャリアとする n-channel MOS の速度が数十%増大した。しかし一方、ホールをキャリアとする p-channel MOS では逆にホールの有効質量が増大してモビリティが落ち、同一設計ルールの通常の p-channel MOS よりも動作速度が落ちてしまったのである。

これは当時でも SOI 研究者の間で大きな議論を呼び、米国西海岸の Stanford、UCB(University of California Berkeley)、Hewlett-Packard、Xerox

の研究者や、東海岸の MIT、ヨーロッパでは IMEC 等の研究者の間でも議論を呼んだ。

我々が LSI として使用する多くのロジック回路では電子(マイナス電荷)をキャリアとする n-channel MOS と、ホール(プラス電荷)をキャリアとする p-channel MOS が組み合わされた、いわゆる CMOS (Complementary Metal Oxide Semiconductor: 相補型 MOS) が重要な位置を占めている。n-channel のみが早くても多くのロジック回路ではトータル性能では必ずしも速くはないのである。もちろん n-channel トランジスタのみで回路を構成することも不可能ではないが、n-channel トランジスタで高速のものは当時でも Si より数倍速い GaAs トランジスタ^③があり、このような回路構成が主流になる可能性があるならば GaAs トランジスタが市場を得ていたはずであった。

当時の議論としては、n-channel MOS が高速になることは魅力ではあるが回路構成上からは n-channel、p-channel 両方のトランジスタがバランス良く高速であることが大切であるという方向に話が進み、収束したのである。(当時はその他にも Si-SiO₂ 界面の問題、トランジスタへの局所的な応力、高い電界強度により生じる様々な問題も抱えており、実用化へは至らなかった。)

2.4 高速トランジスタの方向性

以上の観点から考えると IBM の発表は従来の議論の延長にあり、新鮮味に欠けるように思われるが、Si-MOS トランジスタにおいて歪格子により有効質量やモビリティを積極的に操作するという設計概念を明確に打ち出した点は注目に値する。

半導体レーザの分野ではこの10年間に歪量子井戸構造の設計技術が急速に進歩し、現在市販されているほとんどの CD、MD、DVD プレーヤー用のレーザに導入されている。この分野においても最初は結晶中に歪を導入することに信頼性その他の面から非常に議論があり、ナノレベルでの多層の制御の必要性も相まって商品化は難しいとの議論があった。しかし、今日そのような困難を克服し、大量に生産されるゲーム機や数百円の安価なレーザポインターにさえも導入されている。そのような意味において、Si トランジスタにおいても歪格子を駆使し、物性値を制御するという方向

性は商業的にも十分に可能であり、非常に良い選択といえる。

ただ、単体で使用されることの多いレーザと異なり、大規模に集積して回路としてのパフォーマンスが要求されるトランジスタにおいて、それを構成するもう一方の p-channel MOS トランジスタや組合わせた CMOS の将来像を描いていないことに問題が残っているのである。

それに対してインテルは「科学技術動向 2001年5月号」で報告した最先端の EUV 技術を駆使して微細化を着々と進め、王道を歩んできたと言える。これは従来からの延長であり問題は少ないように思われるが、しかしそれだけで本当に良いのであろうか。

回路パフォーマンスを考えた場合、現在の MOS でも n-channel MOS と p-channel MOS ではドライブ能力が違い、現状でも実は非常にバランスが悪い。n-channel MOS と p-channel MOS を並べた場合、トランジスタの面積比は実に 1:3 にもなっているのである。回路トータルでの速度向上を図るならば、n-channel MOS の速度を若干落としても p-channel MOS の速度を上げる(電子よりもホールのモビリティを上げることを優先する)ほうが、律速部を底上げするという意味で望ましいという考え方もある。東北大学大見研究室ではそのような考えのもと、Si の (111) 結晶面にトランジスタを形成する(現在の MOS LSI は (100) 面に形成されている)等の検討が行われている。また、IBM の発表とは逆に圧縮応力を Si に付加すれば同様の効果が得られるとも考えられ、様々な可能性がある。先の IEDM (IEEE International Electron Device Meeting, 2000年12月)でも UCB は SiGe の歪によって p-channel MOS のパフォーマンスを上げる試みを発表しており、このようなアプローチは目立たないが非常に重要であると考えられる。

2.5 結言

トランジスタ1個の速度の議論に目を奪われるのではなく、回路トータル、LSI トータルでいかに最大限のパフォーマンスを得るのか、そのためには何をしなければならぬのかの議論が望まれる。「科学技術動向 2001年6月号」では他に高速 MPU における配線の問題も提起されており、総合的な見地からの検討が一段と重要になってきているのである。

(注)

高速トランジスタとしては6月25日にIBMより210GHzで動作するトランジスタも発表されているが、これはHBT(Hetero Bipolar Transistor)というバイポーラトランジスタの一種である。主にアナログの高周波通信用に使われるとともに、スーパーコンピュータ用の素子としても使われる。従来スーパーコンピュータのアーキテクチャがベクトルプロセッサが主であった頃はバイポーラトランジスタが主流であったが、多数の汎用プロセッサを並列に動作させたり(マルチプロセッサ)、コンピュータを並列に動作させる(クラスタ)のがアーキテクチャの主流となりつつある現在の状況では、MOSトランジスタが高速コンピューティング用の素子としても主流になりつつある。そのため今回の議論からはあえて外している。

用語説明

①実効ゲート長(Effective Gate Length)

MOSトランジスタのゲート電極の物理的な長さをゲート長と呼ぶ。しかしゲート直下にソース、ドレイン電極領域を形成する元素の一部が拡散してきて、実際にゲートとして動作する領域の長さがゲート電極長よりも短くなっている。この実質のゲート長を実効ゲート長と呼ぶ。微細化されたMOSではそのギャップが大きくなるため、実効ゲート長を用いることが多い。

②SOI(Silicon on Insulator)

一般的にLSIに用いられるSi結晶ではSiを絶縁体にすることができないので、複数のトランジスタを電気的に分離するのにpn接合で分離している。しかしそのため寄生容量が生じ、トランジスタの高速動作を阻害する要因ともなっている。そこで、SiO₂を絶縁体としてその上に動作層のSi層を形成し、トランジスタを作製するSOI構造が試みられている。

③GaAsトランジスタ

ガリウム・ヒ素トランジスタ。10年程前までは高速デバイスの本命と目されていた。Ga(ガリウム)とAs(ヒ素)から成る化合物半導体で、電子の移動度がSiと比較して数倍も速く、スーパーコンピュータ用の素子として研究が進められていた。しかし、Si MOSにおけるSiO₂のような良好な絶縁膜(酸化膜)を得ることが難しかったこと、p-channelのトランジスタを作製してCMOSのような相補型の回路を作ることが難しいこと、Siに比べて微細化が進まず、電子の移動度の差ほどのアドバンテージが実際の素子では得られなかったこと等の理由により、デジタル回路用の素子としては衰退してしまった。衛星放送受信用、携帯電話等のアナログ高周波通信用用途としては普及している。